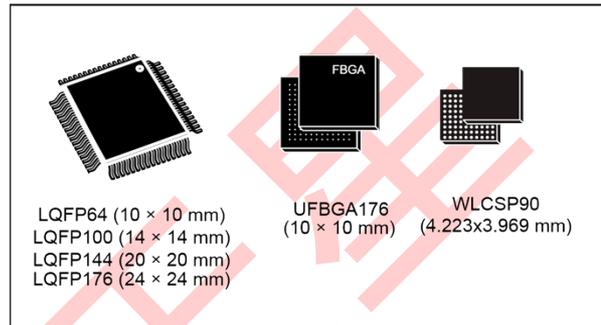


手臂®皮层®-M4 32b MCU+FPU，210DMIPS，高达 1MB 闪存 /192+4KB RAM，USB OTG HS/FS，以太网，17 个 TIM，3 个 ADC，15 个通信接口和相机

Datasheet - production data

Features

- Core: Arm® 32-bit Cortex®-M4 CPU with FPU, Adaptive real-time accelerator (ART Accelerator) allowing 0-wait state execution from Flash memory, frequency up to 168 MHz, memory protection unit, 210 DMIPS/1.25 DMIPS/MHz (Dhrystone 2.1), and DSP instructions
- Memories
 - 高达 1 兆字节的闪存
 - 高达 192+4 Kbytes 的 SRAM，包括 64Kbyte 的 CCM（核心耦合存储器）数据公羊
 - 512 字节的 OTP 内存
 - 灵活的静态存储器控制器，支持紧凑型闪存、SRAM、PSRAM、NOR 和 NAND 存储器
- LCD 并行接口，8080/6800 模式 • 时钟、重置和供应管理
 - 1.8 V 至 3.6 V 应用供应和 I/O
 - POR、PDR、PVD 和 BOR
 - 4-to-26 MHz 晶体振荡器
 - 内部 16 MHz 工厂修剪的 RC（精度为 1%）
 - 带校准的用于 RTC 的 32 千赫振荡器
 - 带校准的内部 32 kHz RC • 低功耗操作
 - 睡眠、停止和待机模式
 - 伏特蝙蝠供应 RTC，20×32 位备份寄存器+ 可选的 4 KB 备份 SRAM
- 3×12 位，2.4 MSPS A/D 转换器：三重交错中高达 24 个通道和 7.2 MSPS 形式



- 2×12 位 D/A 转换器
- 通用 DMA：具有 FIFO 和突发支持的 16 流 DMA 控制器

2020 年 8 月

这是关于全面生产的产品信息。

- 最多 17 个计时器：最多 12 个 16 位计时器和两个 32 位计时器，最高 168 MHz，每个计时器最多 4 个 IC/OC/PWM 或脉冲计数器和正交（增量）编码器输入
- 调试模式
 - 串行线调试（SWD）和 JTAG 接口
 - Cortex-M4 嵌入式 Trace Macrocell™ • 多达 140 个具有中断功能的 I/O 端口
 - 高达 136 个快速 I/O，高达 84 MHz
 - 高达 138 5 V 耐受 I/O • 多达 15 个通信接口
 - 最多 3×I²C 接口（SMBus/PMBus）
 - 最多 4 个 USARTs/2 UARTs（10.5 Mbit/s，ISO 7816 接口，LIN，IrDA，调制解调器控制）

DS8626 Rev 9

- 最多 3 个 SPI (42 Mbits/s), 2 个带互斥全双工 I²S 实现 音频类 通过内部音频 PLL 或外部时钟的准确性
 - 2 × CAN 接口 (2.0B Active)
 - SDIO 接口 • 高级连接
 - 带有片上 PHY 的 USB 2.0 全速设备/主机/OTG 控制器
 - USB 2.0 高速/全速设备/主机/OTG 控制器, 带专用 DMA、片上全速 PHY 和 ULPI
 - 带有专用 DMA 的 10/100 以太网 MAC: 支持 IEEE 1588v2 硬件, MII/RMII
- 1/203
www.st.com
- 8 到 14 位并行相机接口高达 54 兆字节/秒
 - 96 位唯一 ID
 - RTC: 亚秒精度, 硬件日历
 - 真正的随机数生成器
 - CRC 计算单位

表 1。设备摘要

参考	部件号
STM32F405xx	STM32F405RG , STM32F405VG , STM32F405ZG , STM32F405OG , STM32F405OE
STM32F407xx	STM32F407VG , STM32F407IG , STM32F407ZG , STM32F407VE , STM32F407ZE , STM32F407IE



内容

1 介绍	12
2 描述	13
2.1 整个家庭的完全兼容性	16
2.2 功能概述	19
2.2.1 手臂®皮层®-带有 FPU 和嵌入式闪存和 SRAM 的 M4 核心	20
2.2.2 自适应实时内存加速器 (ART 加速器)	20
2.2.3 内存保护单元	20
2.2.4 嵌入式闪存	20
2.2.5 CRC (循环冗余检查) 计算单元	21
2.2.6 嵌入式 SRAM	21
2.2.7 多 AHB 总线矩阵	21
2.2.8 DMA 控制器 (DMA)	22
2.2.9 柔性静态存储器控制器 (FSMC)	23
2.2.10 嵌套矢量中断控制器 (NVIC)	23
2.2.11 外部中断/事件控制器 (EXTI)	23
2.2.12 时钟和启动	23
2.2.13 启动模式	24
2.2.14 供电计划	24
2.2.15 电源主管	24
2.2.16 稳压器	26
2.2.17 调节器开/关和内部重置开/关可用性	29
2.2.18 实时时钟 (RTC)、备份 SRAM 和备份寄存器	29
2.2.19 低功耗模式	30
2.2.20 伏特蝙蝠操作	31
2.2.21 计时器和看门狗	31
2.2.22 集成电路接口 (I2C)	34



2.2.23	通用同步/异步接收器发射器 (USART)。	34
2.2.24	串行外围接口 (SPI)	35
2.2.25	集成声音 (I2S)	35
2.2.26	音频 PLL (PLLI2S)	36
2.2.27	安全数字输入/输出接口 (SDIO)	36
2.2.28	支持专用 DMA 和 IEEE 1588 的以太网 MAC 接口。	36
2.2.29	控制器区域网络 (bxCAN)	37

深圳南天星

2.2.30	通用串行总线全速 (OTG_FS)	37
2.2.31	通用串行总线高速 (OTG_HS)	38
2.2.32	数码相机接口 (DCMI)	38
2.2.33	真随机数生成器 (RNG)	38
2.2.34	通用输入/输出 (GPIOs)	38
2.2.35	模数转换器 (ADC)	39
2.2.36	温度传感器	39
2.2.37	数字模拟转换器 (DAC)	39
2.2.38	串行线 JTAG 调试端口 (SWJ-DP)	40
2.2.39	嵌入式跟踪 Macrocell™	40
3	引脚和引脚描述	41
4	记忆映射	71
5	电气特性	76
5.1	参数条件	76
5.1.1	最小值和最大值	76
5.1.2	典型值	76
5.1.3	典型曲线	76
5.1.4	加载电容器	76
5.1.5	针输入电压	76
5.1.6	电源计划	77
5.1.7	当前消费测量	78
5.2	绝对最高评级	78
5.3	操作条件	79
5.3.1	一般操作条件	79
5.3.2	VCAP_1/VCAP_2 外部电容器	82
5.3.3	开机/关机时的工作条件 (调节器开启)	82
5.3.4	开机/断电 (调节器关闭) 时的工作条件	82
5.3.5	嵌入式重置和电源控制块特性	83

5.3.6	供应当前特征	84
5.3.7	从低功耗模式唤醒时间	98
5.3.8	外部时钟源特征	99
5.3.9	内部时钟源特征	103
5.3.10	PLL 特征	104
5.3.11	PLL 扩频时钟生成 (SSCG) 特性.....	106
内容		
5.3.12	记忆特征	108
5.3.13	EMC 特征	110
5.3.14	绝对最大额定值 (电灵敏度)	112
5.3.15	I/O 电流注射特性	113
5.3.16	I/O 端口特征	114
5.3.17	NRST 引脚特征	119
5.3.18	TIM 计时器特征	120
5.3.19	通信接口	121
5.3.20	CAN (控制器区域网络) 接口	133
5.3.21	12 位 ADC 特性	133
5.3.22	温度传感器特性	138
5.3.23	伏特蝙蝠监控特征	139
5.3.24	嵌入式参考电压	139
5.3.25	DAC 电气特性	139
5.3.26	FSMC 特征	142
5.3.27	相机接口 (DCMI) 计时规格	161
5.3.28	SD/SDIO MMC 卡主机接口 (SDIO) 特性	162
5.3.29	RTC 特征	163
6	包裹信息	164
6.1	WLCSP90 套餐信息	164
6.2	LQFP64 软件包信息	167
6.3	LQFP100 套餐信息	170
6.4	LQFP144 套餐信息	173

6.5	UFPGA176+25 套餐信息	177
6.6	LQFP176 套餐信息	180
6.7	热特性	184
7	订购信息	185
附录 A	应用框图	186
A.1	USB OTG 全速 (FS) 接口解决方案	186
A.2	USB OTG 高速 (HS) 接口解决方案	188
A.3	以太网接口解决方案	189
8	修订历史	191

表格列表

表格列表

表 1。	设备摘要	2
表 2。	STM32F405xx 和 STM32F407xx：功能和外围设备计数	14
表 3。	调节器开/关和内部重置开/关可用性	29
表 4。	计时器功能比较	31
表 5。	USART 功能比较	35
表 6。	引脚表中使用的传奇/缩写	46
表 7。	STM32F40xxx 针和球定义	47
表 8。	FSMC 针定义	59
表 9。	备用函数映射	62
表 10。	注册边界地址	72
表 11。	电压特性	78
表 12。	当前特征	79
表 13。	热特性	79
表 14。	一般操作条件	79
表 15。	限制取决于工作电源范围	81
表 16。	VCAP_1/VCAP_2 操作条件	82
表 17。	开机/关机（调节器开启）时的工作条件	82
表 18。	开机/断电（调节器关闭）时的工作条件	82
表 19。	嵌入式复位和电源控制块特性	83
表 20。	运行模式下的典型和最大电流消耗，带有数据处理的代码从闪存（启用 ART 加速器）或 RAM 运行	85
表 21。	运行模式下的典型和最大电流消耗，带有数据处理的代码从闪存运行（ART 加速器已禁用）	86

表 22 °	睡眠模式下的典型和最大电流消耗	89
表 23 °	停止模式下的典型和最大电流消耗	90
表 24 °	待机模式下的典型和最大电流消耗	90
表 25 °	V 中的典型和最大电流消耗量蝙蝠模式	91
表 26 °	运行模式下的典型电流消耗，带有数据处理的代码从闪存运行，调节器打开 (启用 ART 加速器) 除了预取)， $V_{\text{女儿}} = 1.8 \text{ V}$	93
表 27 °	切换输出 I/O 电流消耗	95
表 28 °	外围电流消耗	96
表 29 °	低功耗模式唤醒计时	99
表 30 °	高速外部用户时钟特性	99
表 31 °	低速外部用户时钟特性	100
表 32 °	HSE 4-26 MHz 振荡器特性	101
表 33 °	LSE 振荡器特性 ($f_{\text{LSE}} = 32.768 \text{ kHz}$)	102
表 34 °	HSI 振荡器特性	103
表 35 °	LSI 振荡器特性	103
表 36 °	PLL 的主要特征	104
表 37 °	PLL12S (音频 PLL) 特征	105
表 38 °	SSCG 参数约束	106
表 39 °	闪存特性	108
表 40 °	闪存编程	108
表 41 °	使用 VPP 进行闪存编程	110
表 42 °	闪存耐用性和数据保留	110
表 43 °	EMS 特征	111
表 44 °	EMI 特征	112
表 45 °	ESD 绝对最高评级	112
表 46 °	电气敏感性	113
表 47 °	I/O 电流注射易感性	114
表 48 °	I/O 静态特征	114
表 49 °	输出电压特性	116
表 50 °	I/O AC 特征	117
表 51 °	NRST 引脚特征	119
表 52 °	连接到 APB1 域的 TIMx 的特征	120
表 53 °	连接到 APB2 域的 TIMx 的特征	121
表 54 °	I2C 模拟滤波器特性	121
表 55 °	SPI 动态特征	122
表 56 °	I2S 动态特征	126
表 57 °	USB OTG FS 启动时间	128
表 58 °	USB OTG FS 直流电气特性	128
表 59 °	USB OTG FS 电气特性	129
表 60 °	USB HS 直流电气特性	129
表 61 °	USB HS 时钟定时参数	129
表 62 °	ULPI 计时	130

表格列表

STM32F405xx, STM32F407xx

表 63。	以太网直流电气特性.....	131
表 64。	动态特征：用于 SMI 的以太网 MAC 信号.....	131
表 65。	动态特性：RMII 的以太网 MAC 信号.....	132
表 66。	动态特性：MII 的以太网 MAC 信号.....	133
表 67。	ADC 特征.....	133
表 68。	ADC 在 f 的精度 ADC= 30 MHz.....	135
表 69。	温度传感器特性.....	138
表 70。	温度传感器校准值.....	138
表 71。	伏特蝙蝠监控特征.....	139
表 72。	嵌入式内部参考电压.....	139
表 73。	内部参考电压校准值.....	139
表 74。	DAC 特征.....	139
表 75。	异步非多路 SRAM/PSRAM/NOR 读取定时.....	143
表 76。	异步非多路 SRAM/PSRAM/NOR 写入定时.....	144
表 77。	异步多路 PSRAM/NOR 读取时序.....	145
表 78。	异步多路复用 PSRAM/NOR 写入定时.....	146
表 79。	同步多路复用 NOR/PSRAM 读取时序.....	148
表 80。	同步多路复用 PSRAM 写入时间.....	149
表 81。	同步非多路 NOR/PSRAM 读取定时.....	151
表 82。	同步非多路 PSRAM 写入计时.....	152
表 83。	PC 卡/CF 读写周期的开关特性 在属性/公共空间中.....	157
表 84。	PC 卡/CF 读写周期的开关特性 在 I/O 空间.....	158
表 85。	NAND 闪存读取周期的开关特性.....	160
表 86。	NAND 闪存写入周期的开关特性.....	161
表 87。	DCMI 特征.....	161
表 88。	动态特征：SD / MMC 特征.....	163
表 89。	RTC 特征.....	163
表 90。	WLCSP90 - 4.223 x 3.969 毫米，0.400 毫米间距晶圆级芯片刻度 包装机械数据.....	165
表 91。	WLCSP90 推荐的 PCB 设计规则.....	166
表 92。	LQFP64 – 64 针 10 x 10 毫米低调四平面封装 机械数据.....	167
表格列表		
表 93。	LQFP100 – 100 针，14 x 14 毫米低调四平面封装 机械数据.....	170
表 94。	LQFP144 - 144 针，20 x 20 毫米低调四平面封装 机械数据.....	174
表 95。	UFPGA176+25 球，10x10x0.65 毫米间距，超薄细间距 球网格阵列机械数据.....	177
表 96。	UFPGA176+2 推荐的 PCB 设计规则（0.65 毫米间距 BGA）.....	178
表 97。	LQFP176 - 176 针，24 x 24 毫米低调四平面封装 机械数据.....	180

表 98。 包装热特性..... 184
表 99。 文件修订历史..... 191



数字列表

图 1。	适用于 LQFP64 的 STM32F10xx/STM32F40xxx 之间的兼容板设计.....	16
图 2。	兼容板设计 STM32F10xx/STM32F2/STM32F40xxx 对于 LQFP100 套餐.....	17
图 3。	STM32F10xx/STM32F2/STM32F40xxx 之间的兼容板设计 对于 LQFP144 套餐.....	17
图 4。	STM32F2 和 STM32F40xxx 之间的兼容板设计 对于 LQFP176 和 BGA176 软件包.....	18
图 5。	STM32F40xxx 方框图.....	19
图 6。	多 AHB 矩阵.....	22
图 7。	电源主管互连与内部重置关闭.....	25
图 8。	PDR_ON 和 NRST 控制，内部重置关闭.....	26
图 9。	监管机构关闭.....	27
图 10。	在调节器关闭模式下启动：慢 V _{女儿} 斜坡 - V 后断电重置 CAP ₁ /V _{CAP_2} 稳定.....	28
图 11。	在调节器关闭模式下启动：快速 V _{女儿} 斜坡 - 断电重置在 V 之前上升 CAP ₁ /V _{CAP_2} 稳定.....	29
图 12。	STM32F40xxx LQFP64 pinout.....	41
图 13。	STM32F40xxx LQFP100 pinout.....	42
图 14。	STM32F40xxx LQFP144 pinout.....	43
图 15。	STM32F40xxx LQFP176 pinout.....	44
图 16。	STM32F40xxx UFBGA176 球.....	45
图 17。	STM32F40xxx WLCSP90 ballout.....	46
图 18。	STM32F40xxx 记忆地图.....	71
图 19。	引脚加载条件.....	76
图 20。	引脚输入电压.....	76
图 21。	电源计划.....	77
图 22。	当前消费测量方案.....	78
图 23。	外部电容器 C _{分机}	82
图 24。	典型电流消耗与温度，运行模式，带有数据的代码从 Flash（ART 加速器打开）或 RAM 运行的处理，以及外围设备关闭.....	87
图 25。	典型电流消耗与温度，运行模式，带有数据的代码从 Flash（ART 加速器 ON）或 RAM 运行的处理，以及外围设备 ON.....	87
图 26。	典型电流消耗与温度，运行模式，带有数据的代码从 Flash（ART 加速器关闭）或 RAM 运行的处理，以及外围设备关闭.....	88
图 27。	典型电流消耗与温度，运行模式，带有数据的代码从 Flash（ART 加速器关闭）或 RAM 运行的处理，以及外围设备打开.....	88
图 28。	典型的 V _{蝙蝠} 电流消耗（LSE 和 RTC ON/备份 RAM 关闭）.....	91
图 29。	典型的 V _{蝙蝠} 电流消耗（LSE 和 RTC ON/备份 RAM ON）.....	92

图 30。	高速外部时钟源交流定时图	100
图 31。	低速外部时钟源交流定时图	101
图 32。	8 MHz 晶体的典型应用	102
图 33。	32.768 kHz 晶体的典型应用	103
图 34。	ACC _{LSI}	104
图 35。	中心传播模式下的 PLL 输出时钟波形	107
图 36。	PLL 输出时钟波形在向下传播模式下	108
图 37。	I/O AC 特征定义	118
图 38。	推荐 NRST 引脚保护	119
图 39。	SPI 时序图 - 从模式和 CPHA = 0	124

数字列表

图 40。	SPI 定时图 - 从模式和 CPHA = 1	124
图 41。	SPI 计时图-主模式	125
图 42。	I2S 从属计时图 (飞利浦协议)	127
图 43。	I2S 主定时图 (飞利浦协议) ⁽¹⁾	127
图 44。	USB OTG FS 定时: 数据信号上升和下降时间的定义	129
图 45。	ULPI 计时图	130
图 46。	以太网 SMI 计时图	131
图 47。	以太网 RMII 定时图	132
图 48。	以太网 MII 计时图	132
图 49。	ADC 精度特性	136
图 50。	使用 ADC 的典型连接图	136
图 51。	电源和参考解耦 (V _{参考+} 未连接到 V _{DDA})	137
图 52。	电源和参考解耦 (V _{参考+} 连接到 V _{DDA})	138
图 53。	12 位缓冲/非缓冲 DAC	142
图 54。	异步非多路 SRAM/PSRAM/NOR 读取波形	143
图 55。	异步非多路 SRAM/PSRAM/NOR 写入波形	144
图 56。	异步多路 PSRAM/NOR 读取波形	145
图 57。	异步多路复用 PSRAM/NOR 写入波形	146
图 58。	同步多路复用 NOR/PSRAM 读取时序	147
图 59。	同步多路复用 PSRAM 写入时间	149
图 60。	同步非多路 NOR/PSRAM 读取定时	150
图 61。	同步非多路 PSRAM 写入计时	152
图 62。	用于常见内存读取访问的 PC 卡/CompactFlash 控制器波形	153
图 63。	用于通用内存写入访问的 PC 卡/CompactFlash 控制器波形	154
图 64。	用于属性内存读取的 PC 卡/CompactFlash 控制器波形 访问	155
图 65。	用于属性内存写入的 PC 卡/CompactFlash 控制器波形 访问	156
图 66。	用于 I/O 空间读取访问的 PC 卡/CompactFlash 控制器波形	156
图 67。	用于 I/O 空间写入访问的 PC 卡/CompactFlash 控制器波形	157
图 68。	用于读取访问的 NAND 控制器波形	159
图 69。	用于写入访问的 NAND 控制器波形	159

STM32F405xx, STM32F407xx

图 70。	用于公共内存读取访问的 NAND 控制器波形.....	160
图 71。	用于通用内存写入访问的 NAND 控制器波形.....	160
图 72。	DCMI 计时图.....	161
图 73。	SDIO 高速模式.....	162
图 74。	SD 默认模式.....	163
图 75。	WLCSP90 - 4.223 x 3.969 毫米，0.400 毫米间距晶圆级芯片刻度 包裹大纲.....	164
图 76。	WLCSP90 - 4.223 x 3.969 毫米，0.400 毫米间距晶圆级芯片刻度 推荐的足迹.....	165
图 77。	WLCSP90 标记示例（包装顶视图）.....	166
图 78。	LQFP64 – 64 针，10 x 10 毫米低调四平面封装轮廓.....	167
图 79。	LQFP64 – 64 针，10 x 10 毫米小尺寸四平面封装 推荐的足迹.....	168
图 80。	LPQF64 标记示例（包装顶视图）.....	169
图 81。	LQFP100 - 100 针，14 x 14 毫米低调四平面封装轮廓.....	170
图 82。	LQFP100 - 100 针，14 x 14 毫米低调四平面 推荐的足迹.....	171
图 83。	LQFP100 标记示例（包顶视图）.....	172
图 84。	LQFP144 - 144 针，20 x 20 毫米低调四平面包装轮廓.....	173
图 85。	LQFP144 - 144 针，20 x 20 毫米低调四平面封装 推荐的足迹.....	175
图 86。	LQFP144 标记示例（包装顶视图）.....	176
图 87。	UFPGA176+25 球，10 x 10 毫米，0.65 毫米间距，超细间距 球网格阵列包大纲.....	177
图 88。	UFPGA176+25 - 201 球，10 x 10 毫米，0.65 毫米间距，超细间距 球网格阵列推荐足迹.....	178
图 89。	UFPGA176+25 标记示例（包顶视图）.....	179
图 90。	LQFP176 - 176 针，24 x 24 毫米低调四平面包装轮廓.....	180
图 91。	LQFP176 - 176 针，24 x 24 毫米低调四平面推荐足迹.....	182
图 92。	LQFP176 标记示例（包顶视图）.....	183
图 93。	配置为仅外围设备并使用的 USB 控制器 全速模式.....	186
图 94。	USB 控制器配置为仅限主机，并在全速模式下使用.....	186
图 95。	USB 控制器配置为双模式，并在全速模式下使用.....	187
图 96。	配置为外围设备、主机或双模的 USB 控制器 并在高速模式下使用.....	188
图 97。	使用 25 MHz 晶体的 MII 模式.....	189
图 98。	带有 50 MHz 振荡器的 RMII.....	189
图 99。	RMII 与 25 MHz 晶体和 PHY 与 PLL.....	190

数字列表

1 简单介绍

该数据表提供了 STM32F405xx 和 STM32F407xx 系列微控制器的描述。有关整个 STMicroelectronics STM32™ 系列的更多详细信息，请参阅 [第 2.1 节：整个家庭的完全兼容性](#)。

STM32F405xx 和 STM32F407xx 数据表应与 STMicroelectronics 网站上的 STM32F4xx 参考手册一起阅读 www.st.com。

有关手臂的信息^{®(a)} 皮层[®]-M4 核心，请参阅 Cortex[®]-M4 编程手册 (PM0214) 可从 www.st.com。



A. Arm 是 Arm Limited (或其子公司) 在美国和/或其他地方的注册商标。

描述

2 描述

STM32F405xx 和 STM32F407xx 系列基于高性能手臂®皮层®-M4 32 位 RISC 核心以高达 168 MHz 的频率运行。Cortex-M4 核心具有浮点单元 (FPU) 单精度, 支持所有 Arm 单精度数据处理指令和数据类型。它还实现了一整套 DSP 指令和内存保护单元 (MPU), 增强了应用程序的安全性。

STM32F405xx 和 STM32F407xx 系列集成了高速嵌入式存储器 (闪存高达 1 兆字节, 高达 192 兆字节的 SRAM), 高达 4 千字节的备份 SRAM, 以及连接到两个 APB 总线、三个 AHB 总线和 32 位多 AHB 总线矩阵的广泛增强型 I/O 和外围设备。

所有设备都提供三个 12 位 ADC, 两个 DAC, 一个低功耗 RTC, 12 个通用 16 位计时器, 包括两个用于电机控制的 PWM 计时器, 两个通用 32 位计时器。

真随机数生成器 (RNG)。它们还具有标准和高级通信接口。

- 最多三个 I²C
- 三个 SPI, 两个 I²Ss 全复式。为了达到音频类的准确性, I²S 外围设备可以通过专用的内部音频 PLL 或外部时钟进行时钟, 以允许同步。
- 四个 USART 加两个 UART
- 具有全速功能的 USB OTG 全速和 USB OTG 高速 (使用 ULPI),
- 两个 CAN
- SDIO/MMC 接口
- 以太网和相机接口仅在 STM32F407xx 设备上可用。

新的高级外围设备包括 SDIO, 增强的柔性静态内存控制 (FSMC) 接口 (适用于 100 针及更多封装的设备), CMOS 传感器的摄像头接口。参考 [表 2 : STM32F405xx 和 STM32F407xx : 功能和外围设备计数](#) 每个部件号上可用的外围设备列表。

STM32F405xx 和 STM32F407xx 系列在 -40 至 +105°C 的温度范围内工作, 从 1.8 到 3.6 伏电源。当设备使用外部电源主管在 0 至 70°C 的温度范围内工作时, 电源电压可以下降到 1.7V: 请参阅 [部分 : 内部重置关闭](#)。一套全面的节能模式允许设计低功耗应用程序。

STM32F405xx 和 STM32F407xx 系列提供从 64 针到 176 针的各种封装设备。包含的外围设备集随所选设备而变化。

这些功能使 STM32F405xx 和 STM32F407xx 微控制器系列适用于广泛的应用:

- 电机驱动和应用控制
- 医疗设备
- 工业应用: PLC、逆变器、断路器
- 打印机和扫描仪

- 报警系统、视频对讲机和暖通空调
- 家用音频电器

深圳市南天星

图5 显示设备系列的一般方框图。

表 2。STM32F405xx 和 STM32F407xx：功能和外围设备计数

外围设备		STM32F405RG	STM32F405OG	STM32F405VG	STM32F405ZG	STM32F405OE	STM32F407Vx	STM32F407Zx	STM32F407Ix			
闪存存在 K 字节		1024				512	512	1024	512	1024	512	1024
SRAM 在 K 字节	系统	192 (112+16+64)										
	备份	4										
FSMC 内存控制器		不是	是 (1)									
以太网		不是					是					
计时器	通用	10										
	高级的-控制	2										
	日常必须品	2										
	IWDG	是										
	WWDG	是										
	RTC	是										
真正的随机数生成器		是										

表 2。STM32F405xx 和 STM32F407xx：功能和外围设备计数 (续)

外围设备	STM32F405RG	STM32F405OG	STM32F405VG	STM32F405ZG	STM32F405OE	STM32F407Vx	STM32F407Zx	STM32F407Ix
------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

沟通 阳离子接 口	SPI/I2S	3/2 (全双工) (2)						
	我 ² 光速	3						
	USART/ UART	4/2						
	USB OTG FS	是						
	USB OTG HS	是						
	装罐量	2						
	SDIO	是						
相机界面	不是				是			
GPIOs	51	72	82	114	72	82	114	140
12 位 ADC 频道数量	3							
	16	13	16	24	13	16	24	24
12 位 DAC 频道数量	是 2							
最大 CPU 频率	168 兆赫							
工作电压	1.8 到 3.6 伏 (3)							
工作温度	环境温度：-40 至+85°C/-40 至+105°C							
	连接温度：-40 至+125°C							
包裹	LQFP64	WLCSP90	LQFP100	LQFP144	WLCSP90	LQFP100	LQFP144	UFBGA176 LQFP176

1. 对于 LQFP100 和 WLCSP90 软件包，只有 FSMC Bank1 或 Bank2 可用。Bank1 只能支持使用 NE1 芯片选择的多路复用 NOR/PSRAM 内存。Bank2 只能使用 NCE2 Chip Select 支持 16 位或 8 位 NAND 闪存。由于端口 G 在此软件包中不可用，因此无法使用中断行。

2. SPI2 和 SPI3 接口提供了在 SPI 模式或 I 模式下以独家方式工作的灵活性²S 音频模式。
3. 伏特_{女儿}/V_{DDA}当设备在较低的温度范围内运行，并使用外部电源监督器时，可以获得 1.7V 的最小值（请参阅 [部分：内部重置关闭](#)）。

深圳市南天星

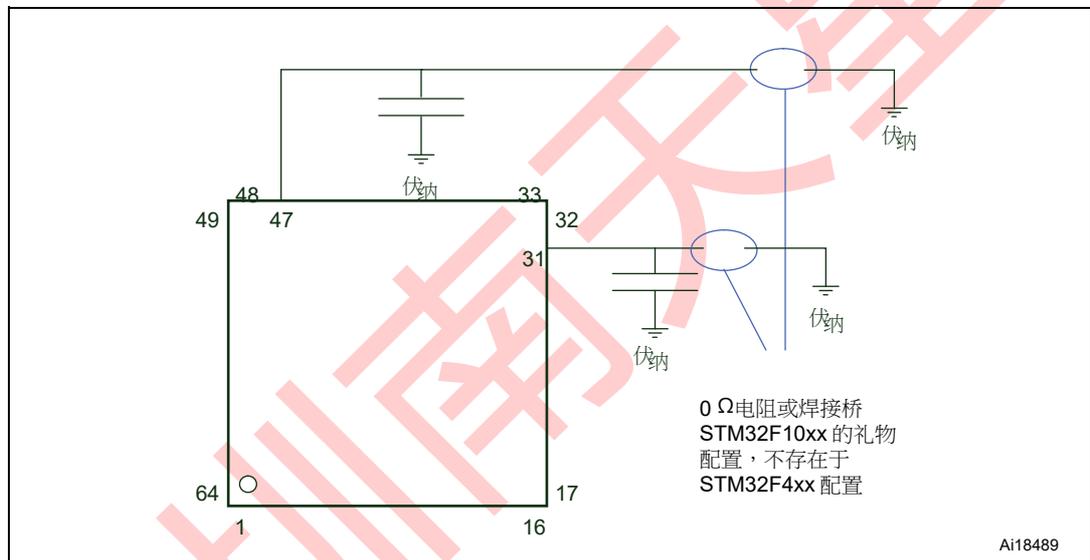
2.1 整个家庭的完全兼容性

STM32F405xx 和 STM32F407xx 是 STM32F4 系列的一部分。它们完全与 STM32F2xx 设备兼容，软件和功能，允许用户在开发周期中尝试不同的内存密度、外围设备和性能（FPU，更高频率），以获得更大的自由度。

STM32F405xx 和 STM32F407xx 设备与整个 STM32F10xxx 系列保持密切兼容性。所有功能引脚都与引脚对引脚兼容。足够的然而，STM32F405xx 和 STM32F407xx 不是 STM32F10xxx 设备的替换件：这两个系列没有相同的电源方案，因此他们的电源销是不同的。尽管如此，从 STM32F10xxx 到 STM32F40xxx 系列的过渡仍然很简单，因为只有几个针脚受到影响。

图 4，图 3，图 2，以及图 1 在 STM32F40xxx、STM32F2 和 STM32F10xxx 系列之间提供兼容的电路板设计。

图 1。适用于 LQFP64 的 STM32F10xx/STM32F40xxx 之间的兼容板设计



STM32F405xx, STM32F407xx

描述

图 2。适用于 LQFP100 封装的兼容板设计
STM32F10xx/STM32F2/STM32F40xxx

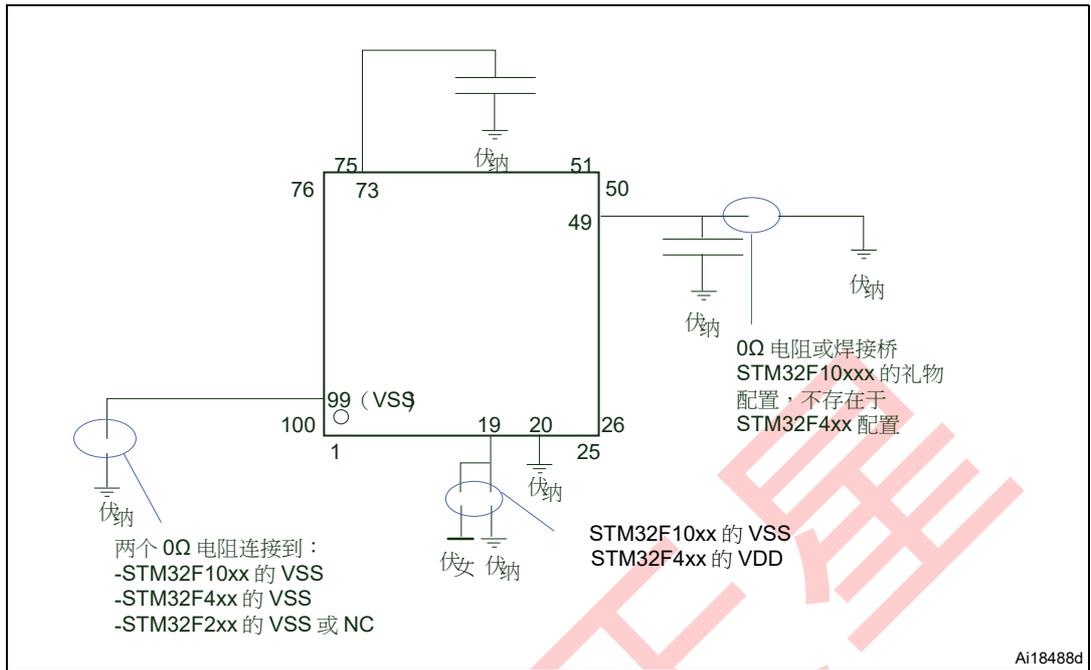


图 3。STM32F10xx/STM32F2/STM32F40xxx 之间的兼容板设计
用于 LQFP144 封装

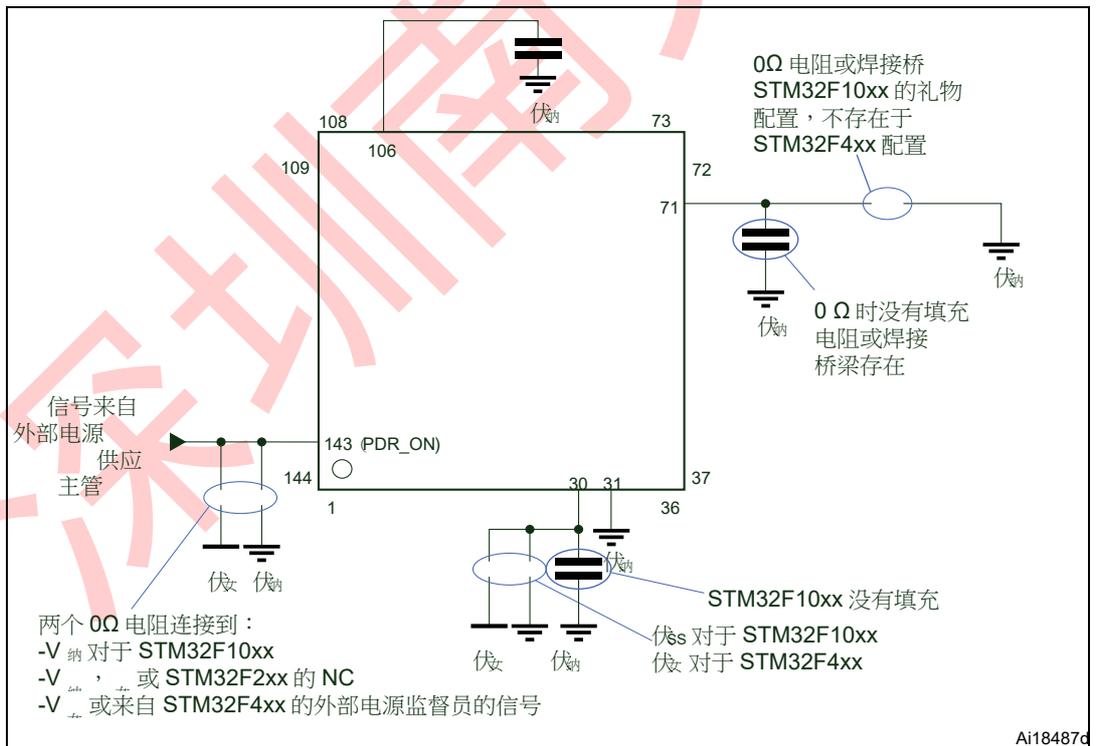
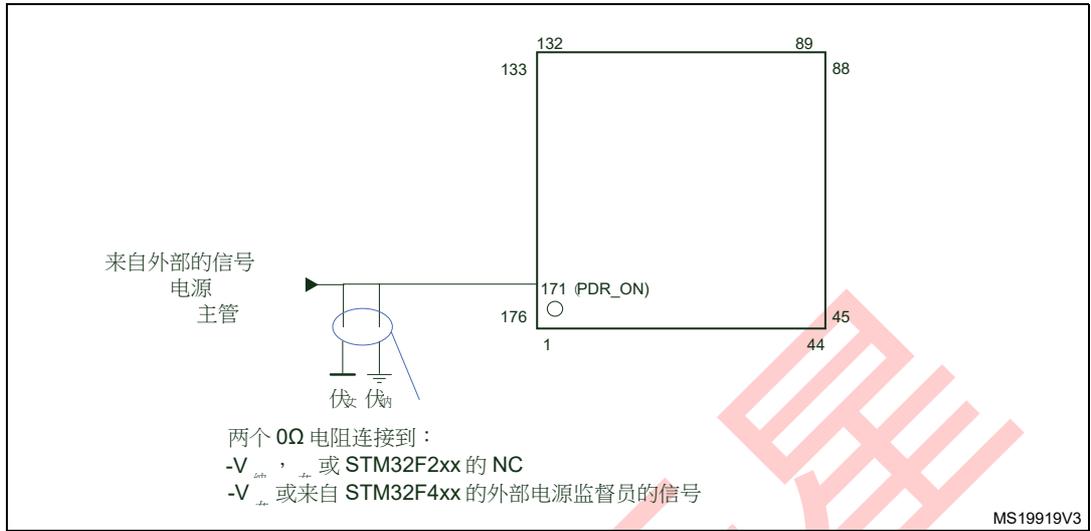


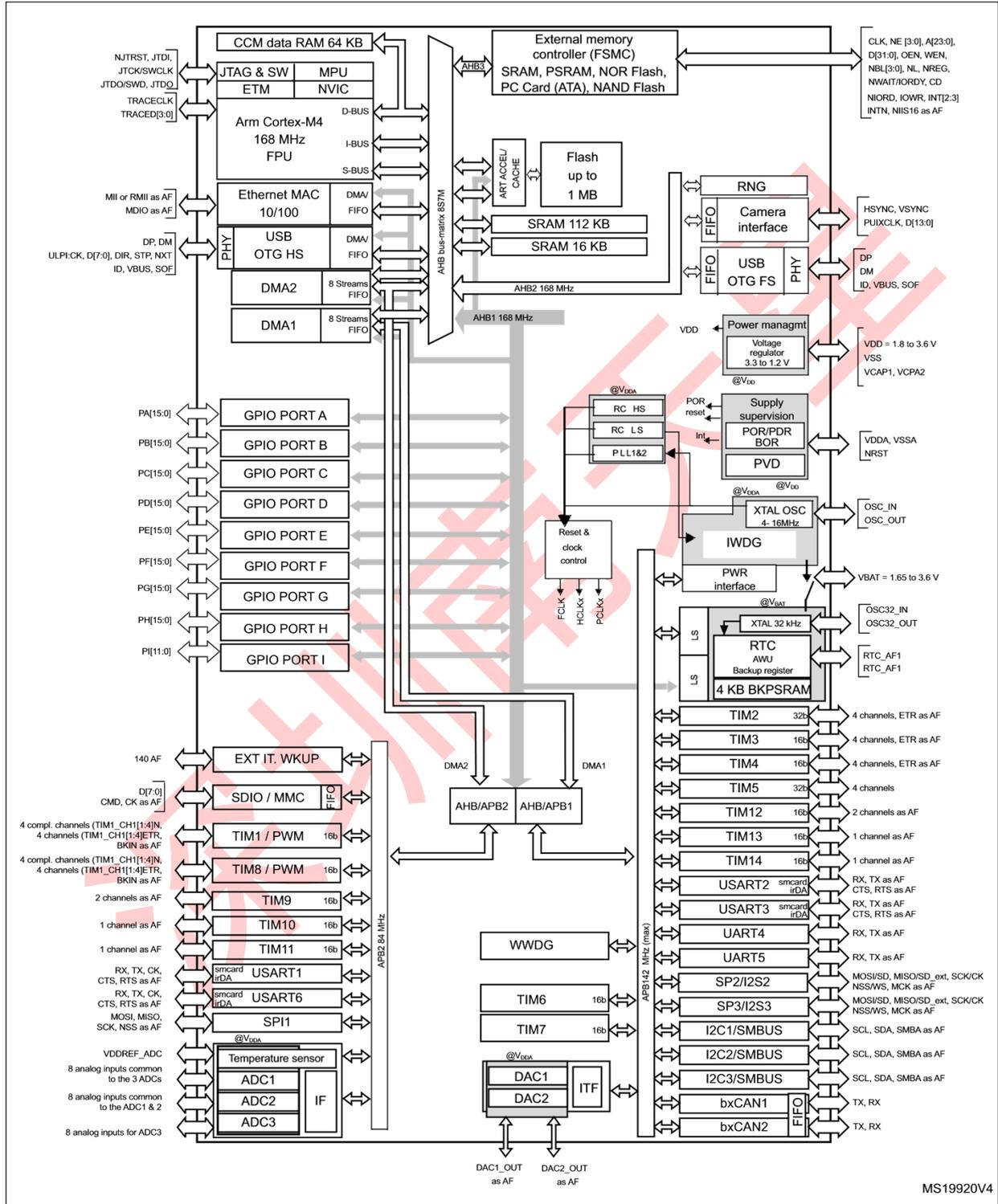


图 4。适用于 LQFP176 和 BGA176 封装的 STM32F2 和 STM32F40xxx 之间的兼容板设计



2.2 功能概述

图 5。STM32F40xxx 方框图



1. 相机接口和以太网仅在 STM32F407xx 设备上可用。



2.2.1 手臂[®]皮层[®]-带有 FPU 和嵌入式闪存和 SRAM 的 M4 核心

带有 FPU 的 Arm Cortex-M4 处理器是用于嵌入式系统的最新一代 Arm 处理器。它的开发旨在提供一个低成本的平台，满足 MCU 实现的需求，减少引脚数量和低功耗，同时提供出色的计算性能和对中断的高级响应。

具有 FPU 的 Arm Cortex-M4 32 位 RISC 处理器具有卓越的代码效率，以通常与 8 位和 16 位设备相关的内存大小提供 Arm 核心所期望的高性能。

该处理器支持一组 DSP 指令，允许高效的信号处理和复杂的算法执行。

它的单精度 FPU（浮点单元）通过使用元语言开发工具加快了软件开发，同时避免了饱和。

STM32F405xx 和 STM32F407xx 系列与所有 Arm 工具和软件兼容。

[图 5](#) 显示 STM32F40xxx 家族的一般方框图。

注意：*Cortex-M4 与 FPU 与 Cortex-M3 二进制兼容。*

2.2.2 自适应实时内存加速器（ART 加速器）

ART 加速器是一个内存加速器，针对 STM32 行业标准 Arm 进行了优化[®]皮层[®]-带有 FPU 处理器的 M4。它平衡了 Arm Cortex-M4 与 FPU 的固有性能优势，而不是闪存技术，这通常要求处理器以更高的频率等待闪存。

为了在这个频率下释放处理器完整的 210 DMIPS 性能，加速器实现了指令预取队列和分支缓存，从而提高了 128 位闪存的程序执行速度。基于 CoreMark 基准，借助 ART 加速器实现的性能相当于在高达 168 MHz 的 CPU 频率下从闪存执行 0 等待状态程序。

2.2.3 内存保护单元

内存保护单元（MPU）用于管理 CPU 对内存的访问，以防止一个任务意外损坏任何其他活动任务使用的内存或资源。这个内存区域被组织成多达 8 个保护区，这些保护区又可以分为 8 个子区域。保护区域大小在 32 字节和整个 4 千兆字节的可寻址内存之间。

对于必须保护一些关键或认证代码免受其他任务不当行为的应用程序，MPU 特别有用。它通常由 RTOS（实时操作系统）管理。如果程序访问了 MPU 禁止的内存位置，RTOS 可以检测到它并采取行动。在 RTOS 环境中，内核可以根据要执行的进程动态更新 MPU 区域设置。

MPU 是可选的，对于不需要它的应用程序，可以绕过它。

2.2.4 嵌入式闪存

STM32F40xxx 设备嵌入了 512K 字节或 1M 字节的闪存，可用于存储程序和数据，外加 512 字节的 OTP 内存。



2.2.5 CRC（循环冗余检查）计算单元

CRC（循环冗余检查）计算单元用于从 32 位数据字和固定生成器多项式中获取 CRC 代码。在其他应用程序中，基于 CRC 的技术用于验证数据传输或存储完整性。在 EN/IEC 60335-1 标准范围内，它们提供了一种验证闪存完整性的方法。CRC 计算单元有助于在运行时计算软件签名，与链接时生成并存储在给定内存位置的参考签名进行比较。

2.2.6 嵌入式 SRAM

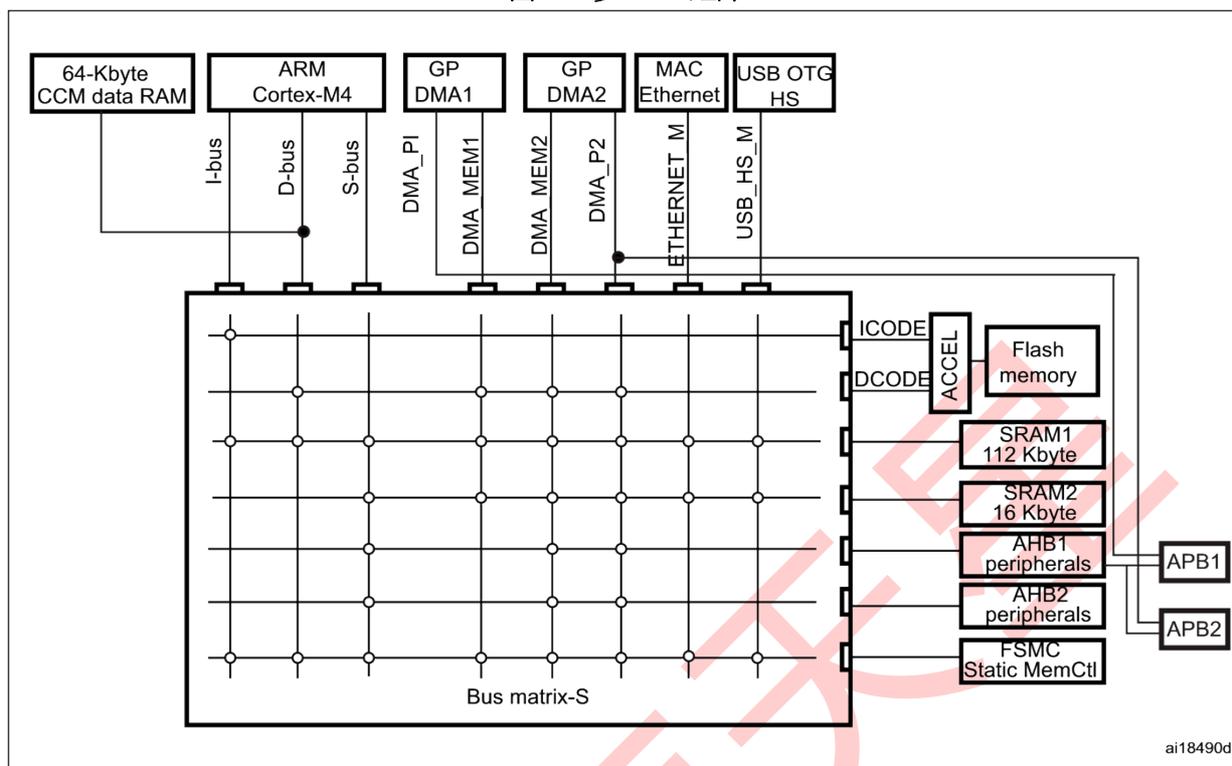
所有 STM32F40xxx 产品嵌入：

- 高达 192K 字节的系统 SRAM，包括 64K 字节的 CCM（核心耦合存储器）数据 RAM。RAM 内存以 CPU 时钟速度访问（读/写），等待状态为 0。
- 4 Kbytes 的备份 SRAM。此区域只能从 CPU 访问。其内容受到保护，防止可能不需要的写入访问，并保留在待机或 V 中蝙蝠模式。

2.2.7 多 AHB 总线矩阵

32 位多 AHB 总线矩阵将所有主服务器（CPU、DMA、以太网、USB HS）和从服务器（闪存、RAM、FSMC、AHB 和 APB 外围设备）互连，并确保即使多个高速外围设备同时工作，也能实现无缝和高效的运行。

图 6。多 AHB 矩阵



2.2.8 DMA 控制器 (DMA)

这些设备具有两个通用双端口 DMA (DMA1 和 DMA2)，每个有 8 个流。他们能够管理内存到内存、外围到内存和内存到外围传输。它们具有用于 APB/AHB 外围设备的专用 FIFO，支持突发传输，旨在提供最大的外围设备带宽 (AHB/APB)。

两个 DMA 控制器支持循环缓冲区管理，因此当控制器到达缓冲区末端时，不需要特定的代码。两个 DMA 控制器还具有双重缓冲功能，无需任何特殊代码即可自动使用和切换两个内存缓冲区。

每个流都连接到专用的硬件 DMA 请求，支持每个流上的软件触发器。配置由软件进行，源和目的地之间的传输大小是独立的。

DMA 可以与主要外围设备一起使用：

- SPI 和我²秒
- 我²光速
- USART
- 通用、基本和高级控制计时器 TIMx
- DAC
- SDIO
- 相机接口 (DCMI)
- ADC。

2.2.9 柔性静态存储器控制器 (FSMC)

FSMC 嵌入在 STM32F405xx 和 STM32F407xx 系列中。它有四个芯片选择输出，支持以下模式：PCCard/紧凑型闪存、SRAM、PSRAM、NOR 闪存和 NAND 闪存。

功能概述：

- 写 FIFO
- 同步访问的最大 FSMC_CLK 频率为 60 MHz。

LCD 并行接口

FSMC 可以配置为与大多数图形液晶控制器无缝接口。它支持英特尔 8080 和摩托罗拉 6800 模式，并且足够灵活，可以适应特定的液晶接口。这种 LCD 并行接口功能使使用带有嵌入式控制器的 LCD 模块或使用具有专用加速度的外部控制器的高性能解决方案轻松构建具有成本效益的图形应用程序。

2.2.10 嵌套矢量中断控制器 (NVIC)

STM32F405xx 和 STM32F407xx 嵌入了一个嵌套矢量中断控制器，能够管理 16 个优先级，并处理多达 82 个可屏蔽中断通道以及 Cortex 的 16 条中断线®-带有 FPU 核心的 M4。

- 紧密耦合的 NVIC 提供低延迟中断处理
- 中断条目矢量表地址直接传递到核心
- 允许早期处理中断
- 处理迟到、高优先级的中断
- 支持尾部链
- 处理器状态自动保存
- 中断入口在中断出口时恢复，没有指令开销

此硬件块提供灵活的中断管理功能，具有最小的中断延迟。

2.2.11 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由 23 条用于生成中断/事件请求的边缘探测器线组成。每行都可以独立配置为选择触发事件（上升边缘，下降边缘，两者），并且可以独立屏蔽。挂起的寄存器保持中断请求的状态。EXTI 可以检测脉冲宽度短于内部 APB2 时钟周期的外部线。多达 140 个 GPIO 可以连接到 16 条外部中断线。

2.2.12 时钟和启动

重置时，选择 16 MHz 内部 RC 振荡器作为默认 CPU 时钟。16 MHz 内部 RC 振荡器经过出厂修剪，在整个温度范围内提供 1% 的精度。然后，应用程序可以选择 RC 振荡器或外部 4-26 MHz 时钟源作为系统时钟。可以监控这个时钟是否有故障。如果检测到故障，系统会自动切换回内部 RC 振荡器，并生成软件中断（如果启用）。这个时钟源是 input 到 PLL，从而允许将频率增加到 168 MHz。同样，必要时可以使用 PLL 时钟条目的完全中断管理（例如，如果间接使用的外部振荡器出现故障）。

几个预缩放器允许配置三辆 AHB 总线，高速 APB (APB2) 和低速 APB (APB1) 域。三个 AHB 总线的最大频率为 168 MHz，而高速 APB 域的最大频率为 84 MHz。低速 APB 域的最大允许频率为 42 MHz。

这些设备嵌入了专用的 PLL (PLLI2S)，可以实现音频类性能。在这种情况下，我²S 主时钟可以生成从 8 kHz 到 192 kHz 的所有标准采样频率。

2.2.13 引导模式

启动时，引导引脚用于从三个引导选项中选择一個：

- 从用户 Flash 启动
- 从系统内存启动
- 从嵌入式 SRAM 启动

引导加载程序位于系统内存中。它用于使用 USART1 (PA9/PA10)、USART3 (PC10/PC11 或 PB10/PB11)、CAN2 (PB5/PB13)、USB OTG FS 在设备模式下 (PA11/PA12) 通过 DFU (设备固件升级) 重新编程闪存。

2.2.14 供电方案

- 伏特_{女儿} = 1.8 至 3.6 V：I/O 和内部调节器的外部电源 (启用时)，通过 V 外部提供女儿引脚。
- 伏特_{SSA}，V_{DDA} = 1.8 至 3.6 V：ADC、DAC、Reset 块、RC 和 PLL 的外部模拟电源。伏特_{DDA} 和 V_{SSA} 必须连接到 V_{女儿} 和 V_{纳粹党卫军}，分别。
- 伏特_{蝙蝠} = 1.65 至 3.6 V：RTC、外部时钟 32 kHz 振荡器和备用寄存器 (通过电源开关) 的电源，当 V_{女儿} 不在场。

参考图 21：供电方案更多详情。

注意： 伏特_{女儿}/V_{DDA} 当设备在较低的温度范围内运行，并使用外部电源监督器时，可以获得 1.7V 的最小值 (请参阅部分：内部重置关闭)。

参考表 2 为了识别支持此选项的软件包。

2.2.15 电源主管

内部重置开启

在嵌入 PDR_ON 引脚的软件包上，通过将 PDR_ON 保持高来启用电源监督员。在所有其他软件包上，电源监督员始终处于启用状态。

该设备具有集成开机复位 (POR) /断电复位 (PDR) 电路以及 Brownout 复位 (BOR) 电路。开机时，POR/PDR 始终处于活动状态，并确保从 1.8V 开始正常运行。达到 1.8 V POR 阈值级别后，将启动选项字节加载过程，以确认或修改默认 BOR 阈值级别，或永久禁

用 BOR。通过选项字节可以获得三个 BOR 阈值。当 V_{DD} 时，设备仍处于重置模式，低于指定的阈值， $V_{POR/PDR}$ 或 V_{BOR} ，不需要外部复位电路。

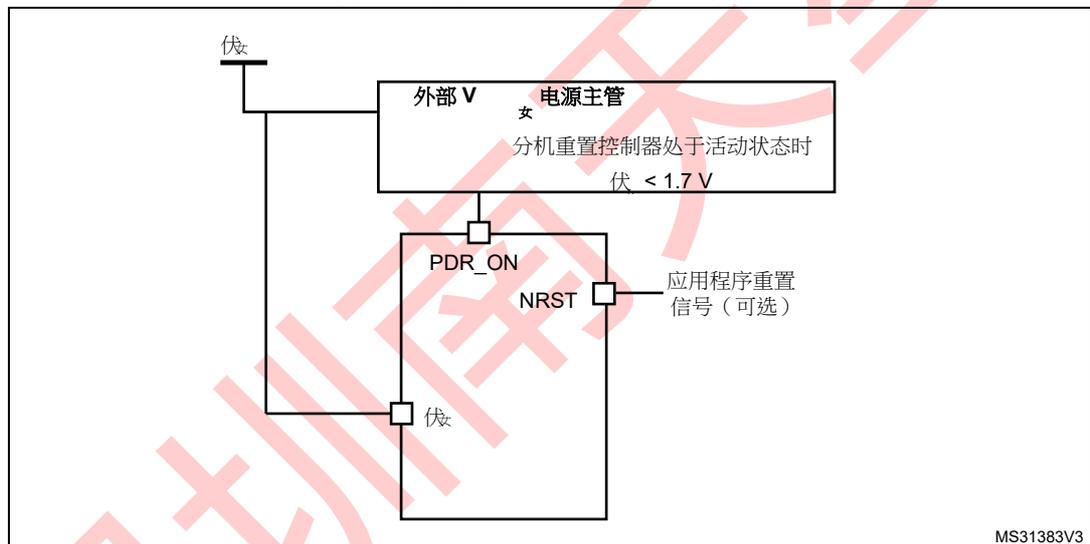
该设备还具有嵌入式可编程电压检测器（PVD），用于监控 V_{DD} 电源，并将其与 V_{PVD} 进行比较。当 V_{DD} 时，可以生成中断，当 V_{DD} 下降到 V_{PVD} 以下或当 V_{DD} 高于 V_{PVD} 阈值。然后，中断服务例程可以生成警告消息和/或将 MCU 置于安全状态。PVD 由软件启用。

内部重置关闭

此功能仅适用于具有 PDR_ON 引脚的软件包。PDR_ON 引脚禁用内部开机复位（POR）/断电复位（PDR）电路。

外部电源监督员应该监控 V_{DD} 并将设备保持在重置模式，只要 V_{DD} 低于指定的阈值。PDR_ON 应连接到此外部电源主管。参考图 7：电源主管互连与内部重置关闭。

图 7。电源主管互连，内部重置关闭



1. PDR = 1.7 V 用于降低温度范围；PDR = 1.8 V 用于所有温度范围。

在重置下，设备必须保持指定的阈值为 1.8V（见图 7）。当设备在 0 至 70°C 的温度范围内工作时，该电源电压可以降至 1.7V。

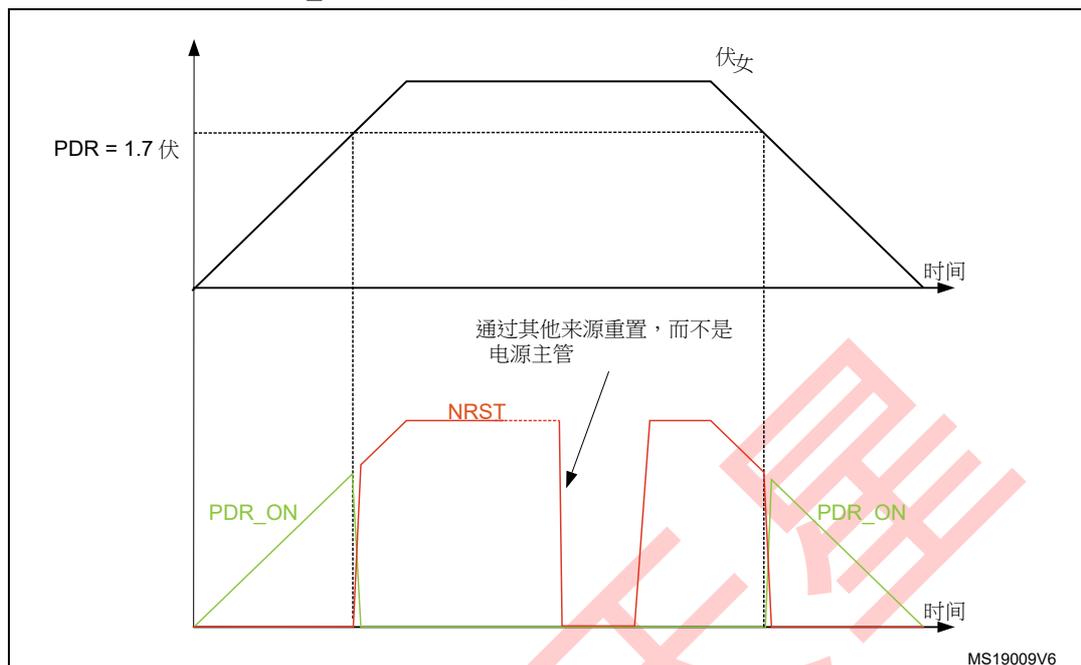
一套全面的省电模式允许设计低功耗应用程序。

当内部重置关闭时，不再支持以下集成功能：

- 集成开机复位（POR）/断电复位（PDR）电路被禁用
- 停电复位（BOR）电路已禁用
- 嵌入式可编程电压检测器（PVD）被禁用
- 伏特蝙蝠功能不再可用， V_{BAT} 引脚应该连接到 V_{DD}

除 LQFP64 和 LQFP100 外，所有软件包都允许通过 PDR_ON 信号禁用内部重置。

图 8。PDR_ON 和 NRST 控制与内部重置关闭



1. PDR = 1.7 V 用于降低温度范围；PDR = 1.8 V 用于所有温度范围。

2.2.16 稳压器

调节器有四种操作模式：

- 监管机构开启
 - 主调节器模式 (MR)
 - 低功耗调节器 (LPR)
 - 关机
- 调节器关闭

监管机构开启

在嵌入 `BYPASS_REG` 引脚的软件包上，通过保持 `BYPASS_REG` 低来启用调节器。在所有其他软件包上，调节器始终处于启用状态。

当调节器打开时，软件配置了三种电源模式：

- MR 用于标称调节模式（在运行中具有不同的电压缩放）
在主调节器模式 (MR 模式) 中，提供不同的电压缩放，以达到最大频率和动态功耗之间的最佳折衷。参考表 14：一般操作条件。
- LPR 用于停止模式
当进入停止模式时，LP 调节器模式由软件配置。
- 关机在待机模式下使用。

只有在进入待机模式时才会激活关机模式。调节器输出为高阻抗，内核电路断电，诱导零消耗。寄存器和 SRAM 的内容丢失了)

两个外部陶瓷电容器应该在 V 上连接 CAP_1 & VCAP_2 别针。参考图 21：供电方案和图 16：VCAP_1/VCAP_2 运行条件。

所有软件包都具有调节器 ON 功能。

调节器关闭

此功能仅适用于具有 BYPASS_REG 引脚的软件包。监管机构因将 BYPASS_REG 调高而失效。调节器关闭模式允许外部供应 V₁₂ 通过 V 的电压源 CAP_1 和 VCAP_2 针脚。

由于内部电压缩放不在内部管理，因此外部电压值必须与目标最大频率对齐。参考表 14：一般操作条件。

两个 2.2μF 陶瓷电容器应由两个 100 nF 解耦电容器取代。

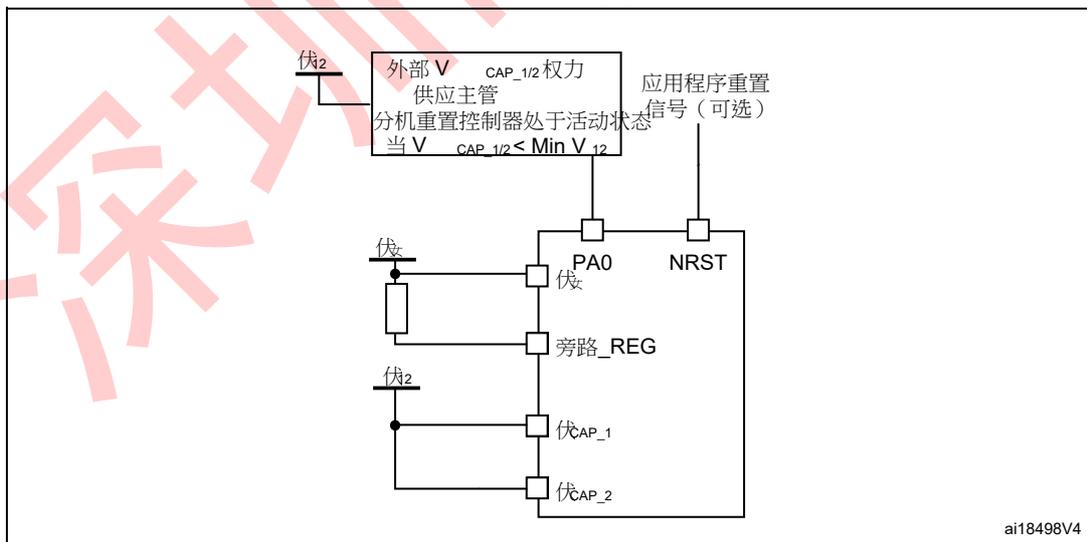
参考图 21：供电方案

当调节器关闭时，V 上不再有内部监控 I₂。应使用外部电源监督器来监控 V₁₂ 逻辑权力领域。PA0 引脚应用于此目的，并作为 V 上的开机复位 I₂ 权力领域。

在调节器关闭模式下，不再支持以下功能：

- PA0 不能用作 GPIO 引脚，因为它允许重置 V 的一部分 I₂ 未由 NRST 引脚重置的逻辑电源域。
- 只要 PA0 保持低位，调试模式就不能在开机重置下使用。因此，如果需要重置或预重置下的调试连接，则必须单独管理 PA0 和 NRST 引脚。
- 备用模式不可用

图 9。调节器关闭



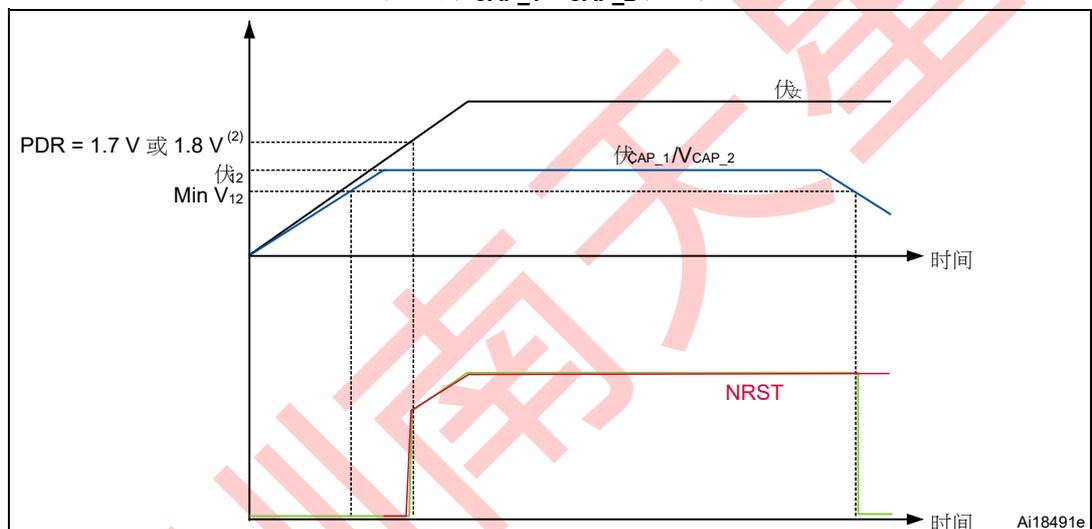
必须遵守以下条件：

- 伏特女儿应该总是高于 V_{CAP_1} 和 V_{CAP_2} 避免功率域之间的电流注入。

- 如果 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值比 V_{DD} 的时间快女儿要达到 1.8V，那么 PA0 应保持在低位，以涵盖两种情况：直到 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值，直到 V_{DD} 达到 1.8V（见图 10）。
- 否则，如果 V_{CAP_1} 和 V_{CAP_2} 达到 V_{12} 最小值比 V_{DD} 的时间慢女儿要达到 1.8V，那么 PA0 可以在外部断言为低（见图 11）。
- 如果 V_{CAP_1} 和 V_{CAP_2} 低于 V_{12} 最小值和 V_{DD} 高于 1.8V，则必须在 PA0 引脚上断言重置。

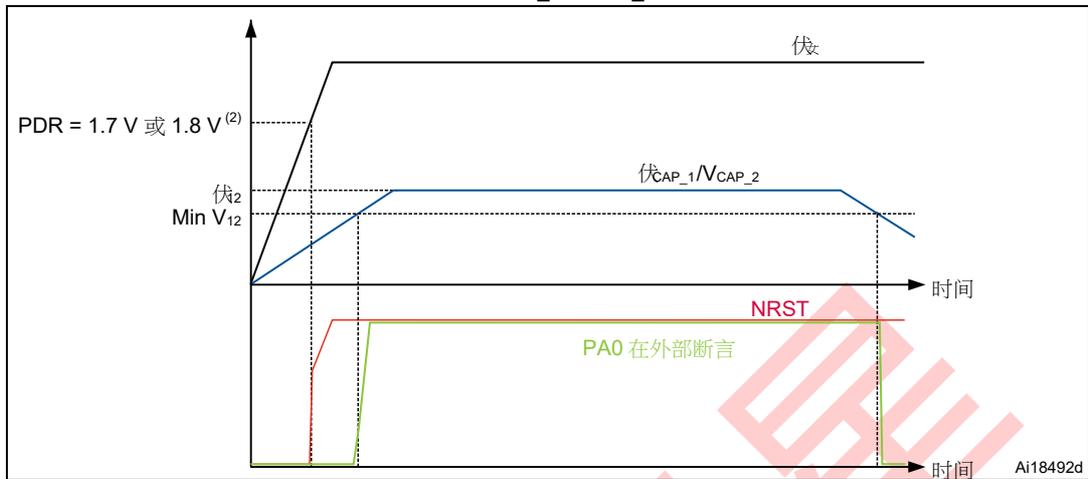
注意：最小值伏特 V_{12} 取决于应用程序中目标的最大频率（请参阅表 14：一般操作条件）。

图 10。在调节器关闭模式下启动：慢 V_{DD} 斜坡-关机重置在 V_{DD} 后上升 V_{CAP_1}/V_{CAP_2} 稳定化



1. 无论内部重置模式（打开还是关闭），此数字都是有效的。
2. 降低温度范围的 PDR = 1.7 V；所有温度范围的 PDR = 1.8 V。

图 11。在调节器关闭模式下启动：快速 $V_{\text{女儿}}$ 斜坡-断电重置在 V 之前上升 $\text{CAP}_1/\text{CAP}_2$ 稳定化



1. 无论内部重置模式（打开还是关闭），此数字都是有效的。
2. 降低温度范围的 PDR = 1.7 V；所有温度范围的 PDR = 1.8 V。

2.2.17

调节器开/关和内部重置开/关可用性

表 3。调节器开/关和内部重置开/关可用性

	监管机构开启	调节器关闭	内部重置开启	内部重置离开
LQFP64 LQFP100	是	不是	是	不是
LQFP144			是 PDR_ON 设置为 伏特女儿	是 PDR_ON 连接到外部电源主 管
WLCSP90 UFBGA176 LQFP176	是的 BYPASS_REG 设 置为 $V_{\text{纳粹党卫军}}$	是 BYPASS_REG 设 置为 $V_{\text{女儿}}$		

2.2.18

实时时钟 (RTC)、备份 SRAM 和备份寄存器

STM32F405xx 和 STM32F407xx 的备份域包括：

- 实时时钟 (RTC)
- 4 Kbytes 的备份 SRAM
- 20 个备份寄存器

实时时钟 (RTC) 是一个独立的 BCD 计时器/计数器。专用寄存器以 BCD (二进制编码十进制) 格式包含秒、分钟、小时 (12/24 小时)、工作日、日期、月、年。每月的 28、29 (闰年)、30 和 31 天的校正会自动进行。RTC 提供可编程警报和可编程定期中断，从停止和待机模式唤醒。子秒值也以二进制格式提供。

它由 32.768 千赫的外部晶体、谐振器或振荡器时钟，内部低功率

RC 振荡器或高速外部时钟除以 128。内部低速 RC

典型的频率为 32 千赫。RTC 可以使用外部 512 Hz 输出进行校准，以补偿任何自然石英偏差。

两个警报寄存器用于在特定时间生成警报，日历字段可以独立屏蔽以进行警报比较。为了生成周期性中断，可以使用具有可编程分辨率的 16 位可编程二进制自动重载计数器，并允许每 120 微秒到每 36 小时自动唤醒和定期警报。

20 位预缩放器用于时间基准时钟。默认情况下，它被配置为从 32.768 kHz 的时钟生成 1 秒的时间基数。

4K 字节备份 SRAM 是一个类似 EEPROM 的内存区域。它可用于存储需要在 V 中保留的数据编程和待机模式。默认情况下，此内存区域被禁用，以最大限度地减少功耗（请参阅第 2.2.19 节：低功耗模式）。它可以通过软件启用。

备份寄存器是 32 位寄存器，用于存储 80 字节的用户应用程序数据，当 V 女儿权力不存在。备份寄存器不会被系统、电源重置或设备从待机模式唤醒时重置（请参阅第 2.2.19 节：低功耗模式）。

额外的 32 位寄存器包含可编程警报子秒、秒、分钟、小时、日和日期。

与备份 SRAM 一样，RTC 和备份寄存器通过由 V 供电的交换机提供女儿供应时或来自 V 蝙蝠别针。

2.2.19 低功耗模式

STM32F405xx 和 STM32F407xx 支持三种低功耗模式，以实现低功耗、短启动时间和可用唤醒源之间的最佳折衷：

- **休眠模式**

在睡眠模式下，只有 CPU 停止。所有外围设备都继续运行，并且可以在发生中断/事件时唤醒 CPU。
- **停止模式**

停止模式实现了最低的功耗，同时保留了 SRAM 和寄存器的内容。V 中的所有时钟 12 域停止，PLL、HSI RC 和 HSE 晶体振荡器被禁用。稳压器也可以置于正常或低功耗模式。

该设备可以通过任何一条 EXTI 线路从停止模式唤醒（EXTI 线路源可以是 16 条外部线路之一、PVD 输出、RTC 警报/唤醒/篡改/时间戳事件、USB OTG FS/HS 唤醒或以太网唤醒）。
- **待机模式**

待机模式用于实现最低功耗。内部电压调节器被关闭，以便整个 V₁₂ 域名已关机。PLL、HSI RC 和 HSE 晶体振荡器也关闭了。进入待机模式后，SRAM 和寄存器内容将丢失，但选择备份域中的寄存器和备份 SRAM 除外。

当发生外部重置（NRST 引脚）、IWDG 重置、WKUP 引脚上的上升边缘或 RTC 警报/唤醒/篡改/时间戳事件时，设备退出待机模式。

当绕过嵌入式稳压器和 V 时，不支持待机模式 12 领域由外部力量控制。

2.2.20 伏特蝙蝠操作

五人蝙蝠引脚允许为设备 V 供电蝙蝠来自外部电池、外部超级电容器或 V 的域 DD 当没有外部电池和外部超级电容器时。

伏特蝙蝠当 V 时，操作被激活女儿不在场。

五人蝙蝠引脚供应 RTC、备份寄存器和备份 SRAM。

注意： 当微控制器由 V 提供时蝙蝠，外部中断和 RTC 警报/事件不会从 V 退出蝙蝠操作。

当 PDR_ON 引脚未连接到 V 时 DD (内部重置关闭)，V 蝙蝠功能不再可用，V 蝙蝠引脚应该连接到 V 女儿。

2.2.21 计时器和看门狗

STM32F405xx 和 STM32F407xx 设备包括两个高级控制计时器、八个通用计时器、两个基本计时器和两个看门狗计时器。

所有计时器计数器都可以在调试模式下冻结。

表 4 比较了高级控制、通用和基本计时器的特点。

表 4。计时器功能比较

计时器类型	计时器	反决议	计数器类型	预缩放因子	DMA 请求生成	捕获/比较频道	补充输出	最大接口时钟 (MHz)	最大计时器时钟 (MHz)
高级的控制	TIM1, TIM8	16 位	起来, 下来, 向上/向下	1 和 65536 之间的任何整数	是	4	是	84	168

表 4。计时器功能比较 (续)

计时器类型	计时器	反决议	计数器类型	预缩放因子	DMA 请求生成	捕获/比较频道	补充输出	最大接口时钟 (MHz)	最大计时器时钟 (MHz)
一般用途	TIM2, TIM5	32 位	起来, 下来, 向上/向下	1 和 65536 之间的任何整数	是	4	不是	42	84
	TIM3, TIM4	16 位	起来, 下来, 向上/向下	1 和 65536 之间的任何整数	是	4	不是	42	84

	TIM9	16 位	在上面	1 和 65536 之间的任何整数	不是	2	不是	84	168
	TIM10 , 蒂姆 11	16 位	在上面	1 和 65536 之间的任何整数	不是	1	不是	84	168
	TIM12	16 位	在上面	1 和 65536 之间的任何整数	不是	2	不是	42	84
	TIM13 , TIM14	16 位	在上面	1 和 65536 之间的任何整数	不是	1	不是	42	84
日常必需品	TIM6 , TIM7	16 位	在上面	1 和 65536 之间的任何整数	是	0	不是	42	84

高级控制计时器 (TIM1, TIM8)

高级控制定时器 (TIM1, TIM8) 可以看作是在 6 个通道上多路复用的三相 PWM 发生器。它们具有互补的 PWM 输出, 具有可编程插入的死时间。它们也可以被视为完整的通用计时器。他们的 4 个独立频道可用于:

- 输入捕获
- 输出比较
- PWM 生成 (边缘或中心对齐模式)
- 单脉冲模式输出

如果配置为标准的 16 位计时器, 它们具有与通用 TIMx 计时器相同的功能。如果配置为 16 位 PWM 发生器, 它们具有完全的调制能力 (0100%)。

高级控制计时器可以通过计时器链接功能与 TIMx 计时器一起工作, 用于同步或事件链。

TIM1 和 TIM8 支持独立的 DMA 请求生成。

通用计时器 (TIMx)

STM32F40xxx 设备中嵌入了十个可同步的通用计时器 (请参阅表 4 为了差异)。

• TIM2, TIM3, TIM4, TIM5

STM32F40xxx 包括 4 个功能齐全的通用计时器: TIM2、TIM5、TIM3 和 TIM4。TIM2 和 TIM5 计时器基于 32 位自动重新加载/下计数器和 16 位预缩放器。TIM3 和 TIM4 计时器基于 16 位自动重新加载/下计数器和 16 位预缩放器。它们都有 4 个独立的通道, 用于输入捕获/输出比较、PWM 或单脉冲模式输出。这在最大的封装上提供了多达 16 个输入捕获/输出比较/PWM。

TIM2、TIM3、TIM4、TIM5 通用计时器可以一起工作, 也可以与其他通用计时器和高级控制计时器 TIM1 和 TIM8 一起工作, 通过计时器链接功能进行同步或事件链化。

这些通用计时器中的任何一个都可用于生成 PWM 输出。

TIM2、TIM3、TIM4、TIM5 都有独立的 DMA 请求生成。它们能够处理正交（增量）编码器信号和 1 到 4 个霍尔效应传感器的数字输出。

- **TIM9、TIM10、TIM11、TIM12、TIM13 和 TIM14**

这些计时器基于 16 位自动重新加载计数器和 16 位预缩放器。TIM10、TIM11、TIM13 和 TIM14 具有一个独立通道，而 TIM9 和 TIM12 有两个独立的通道，用于输入捕获/输出比较、PWM 或单脉冲模式输出。它们可以与 TIM2、TIM3、TIM4、TIM5 全功能通用计时器同步。它们也可以用作简单的时间基准。

基本计时器 TIM6 和 TIM7

这些计时器主要用于 DAC 触发器和波形生成。它们也可以用作通用的 16 位时间基准。

TIM6 和 TIM7 支持独立的 DMA 请求生成。

独立监督机构

独立监督机构基于 12 位 downcounter 和 8 位预缩放器。它从独立的 32 kHz 内部 RC 时钟，由于它独立于主时钟运行，它可以在停止和待机模式下运行。它可以用作监视，在问题发生时重置设备，也可以用作应用程序超时管理的自由运行计时器。它可以通过选项字节进行硬件或软件配置。

窗口看门狗

窗口看门狗基于 7 位 downcounter，可以设置为自由运行。它可以用作看门狗，在出现问题时重置设备。它从主时钟开始计时。它具有预警中断功能，计数器可以在调试模式下冻结。

SysTick 计时器

这个计时器专用于实时操作系统，但也可以用作标准计数器。它的特点是：•24 位倒计时器

- 自动重新加载能力
- 当计数器达到 0 时，可屏蔽系统中断生成
- 可编程时钟源。

2.2.22 集成电路接口 (I2C)

多达三个 I2C 总线接口可以在多主模式和从模式下运行。它们可以支持标准模式（高达 100 kHz）和快速模式（高达 400 kHz）。它们支持 7/10 位寻址模式和 7 位双寻址模式（作为从属）。嵌入了硬件 CRC 生成/验证。

它们可以由 DMA 提供服务，并且它们支持 SMFus 2.0/PMBus。

2.2.23 通用同步/异步接收器发射器 (USART)

STM32F405xx 和 STM32F407xx 嵌入了四个通用同步/异步接收器发射器 (USART1、USART2、USART3 和 USART6) 和两个通用异步接收器发射器 (UART4 和 UART5)。

这六个接口提供异步通信、IrDA SIR ENDEC 支持、多处理器通信模式、单线半双工通信模式，并具有 LIN 主/从功能。USART1 和 USART6 接口能够以高达 10.5 Mbit/s 的速度进行通信。其他可用接口的通信时间高达 5.25 Mbit/s。

USART1、USART2、USART3 和 USART6 还提供 CTS 和 RTS 信号的硬件管理、智能卡模式（符合 ISO 7816）和类似 SPI 的通信能力。所有接口都可以由 DMA 控制器提供。

表 5。USART 功能比较

USART 名称	标准功能	调制解调 (RTS/CTS)	林	SPI 大师	irDA	智能卡 (ISO 7816)	最大波特率 (以 Mbit/s 为) (16 的超采样)	最大波特率 (以 Mbit/s 为) (超采样 8)	APB 映射
USART1	+	+	+	+	+	+	5.25	10.5	APB2 (最大 84 兆赫)
USART2	+	+	+	+	+	+	2.62	5.25	APB1 (最大 42 兆赫)
USART3	+	+	+	+	+	+	2.62	5.25	APB1 (最大 42 兆赫)
UART4	+	-	+	-	+	-	2.62	5.25	APB1 (最大 42 兆赫)
UART5	+	-	+	-	+	-	2.62	5.25	APB1 (最大 42 兆赫)
USART6	+	+	+	+	+	+	5.25	10.5	APB2 (最大 84 兆赫)

2.2.24 串行外围接口 (SPI)

STM32F40xxx 在全双工和单纯形通信模式下具有最多三个从属和主模式的 SPI。SPI1 可以以高达 42 Mbits/s 的速度通信，SPI2 和 SPI3 可以以高达 21 Mbit/s 的速度通信。3 位预缩放大器提供 8 个主模式频率，帧可配置为 8 位或 16 位。硬件 CRC 生成/验证支持基本的 SD 卡/MMC 模式。所有 SPI 都可以由 DMA 控制器提供服务。

SPI 接口可以配置为在 TI 模式下运行，以在主模式和从模式下进行通信。

2.2.25 相互集成的声音 (I²S)

两个标准 I²S 接口（与 SPI2 和 SPI3 复用）可用。它们可以在主或从模式下运行，在全双工和半双工通信模式下运行，并且可以配置为以 16/32 位分辨率作为输入或输出通道运行。支持 8 kHz 到 192 kHz 的音频采样频率。当其中一个或两个 I²S 接口在主模式下配置，主时钟可以以采样频率的 256 倍输出到外部 DAC/CODEC。

所有我²Sx 可以由 DMA 控制器提供服务。

2.2.26 音频 PLL (PLL²S)

这些设备具有用于音频 I 的额外专用 PLL²S 应用程序。它允许实现无错误的 I² 在使用 USB 外围设备时，在不影响 CPU 性能的情况下采样时钟精度。

PLL²S 配置可以修改以管理 I²S 采样率更改，而无需禁用用于 CPU、USB 和以太网接口的主要 PLL (PLL)。

音频 PLL 可以以非常低的误差进行编程，以获得从 8 KHz 到 192 KHz 的采样率。

除了音频 PLL 外，主时钟输入引脚可用于同步 I² 带有外部 PLL (或编解码器输出) 的 S 流。

2.2.27 安全数字输入/输出接口 (SDIO)

SD/SDIO/MMC 主机接口可用，在三种不同的数据总线模式下支持多媒体卡系统规范版本 4.2：1 位 (默认)、4 位和 8 位。

该接口允许高达 48 MHz 的数据传输，并符合 SD 存储卡规范版本 2.0。

SDIO 卡规范版本 2.0 也支持两种不同的数据总线模式：1 位 (默认) 和 4 位。

当前版本在任何时候都只支持一张 SD/SDIO/MMC4.2 卡和一堆 MMC4.1 或更早的卡。

除了 SD/SDIO/MMC，该接口还完全符合 CE-ATA 数字协议 Rev1.1。

2.2.28 支持专用 DMA 和 IEEE 1588 的以太网 MAC 接口

外围设备仅在 STM32F407xx 设备上可用。

STM32F407xx 设备提供符合 IEEE-802.3-2002 标准的媒体访问控制器

(MAC) 用于通过行业标准介质独立接口 (MII) 或简化介质独立接口 (RMII) 进行以太网局域网通信。STM32F407xx 需要外部物理接口设备 (PHY) 连接到物理局域网总线 (双绞对、光纤等)。PHY 使用 MII 的 17 个信号或 RMII 的 9 个信号连接到 STM32F407xx MII 端口，并且可以使用 STM32F407xx 的 25 MHz (MII) 进行时钟。

STM32F407xx 包括以下功能：

- 支持 10 和 100 Mbit/s 速率
- 专用 DMA 控制器允许在专用 SRAM 和描述符之间进行高速传输 (详情请参阅 STM32F40xxx/41xxx 参考手册)
- 标记的 MAC 帧支持 (VLAN 支持)
- 半双工 (CSMA/CD) 和全双工操作
- MAC 控制子层 (控制帧) 支持
- 32 位 CRC 生成和删除
- 物理和多播地址 (多播和组地址) 的几种地址过滤模式
- 每个发送或接收帧的 32 位状态代码

- 内部 FIFO 缓冲传输和接收帧。传输 FIFO 和接收 FIFO 都是 2 Kbytes。
- 根据 IEEE 1588 2008 支持硬件 PTP（精确时间协议）（PTP V2），时间戳比较器连接到 TIM2 输入
- 当系统时间大于目标时间时触发中断

2.2.29 控制器区域网络（bxCAN）

这两个 CAN 符合 2.0A 和 B（有源）规范，比特率高达 1 Mbit/s。他们可以接收和传输具有 11 位标识符的标准帧以及具有 29 位标识符的扩展帧。每个 CAN 有三个传输邮箱，两个接收 3 个阶段的 FIFOs 和 28 个共享的可扩展过滤器库（即使使用一个 CAN，也可以使用所有这些）。为每个 CAN 分配 256 字节的 SRAM。

2.2.30 通用串行总线全速（OTG_FS）

STM32F405xx 和 STM32F407xx 嵌入了带有集成收发器的 USB OTG 全速设备/主机/OTG 外围设备。USB OTG FS 外围设备符合 USB 2.0 规范和 OTG 1.0 规范。它具有可软件配置的端点设置，并支持暂停/恢复。USB OTG 全速控制器需要一个专用的 48 MHz 时钟，该时钟由连接到 HSE 振荡器的 PLL 生成。主要特点是：

- 组合 Rx 和 Tx FIFO 尺寸为 320×35 位，具有动态 FIFO 尺寸
- 支持会话请求协议（SRP）和主机协商协议（HNP）
- 4 个双向端点
- 具有定期 OUT 支持的 8 个主机通道
- 内部 HNP/SNP/IP（不需要任何外部电阻）
- 对于 OTG/主机模式，如果连接了总线供电的设备，则需要电源开关

2.2.31 通用串行总线高速（OTG_HS）

STM32F405xx 和 STM32F407xx 设备嵌入了 USB OTG 高速（高达 480 Mb/s）设备/主机/OTG 外围设备。USB OTG HS 支持全速和高速操作。它集成了全速操作的收发器（12 MB/s），并具有用于高速操作（480 MB/s）的 UTMI 低针接口（ULPI）。在 HS 模式下使用 USB OTG HS 时，需要连接到 ULPI 的外部 PHY 设备。

USB OTG HS 外围设备符合 USB 2.0 规范和 OTG

1.0 规格。它具有可软件配置的端点设置，并支持暂停/恢复。USB OTG 全速控制器需要一个专用的 48 MHz 时钟，该时钟由连接到 HSE 振荡器的 PLL 生成。

主要特点是：

- 组合 Rx 和 Tx FIFO 尺寸为 1 Kbit×35，具有动态 FIFO 尺寸
- 支持会话请求协议（SRP）和主机协商协议（HNP）
- 6 个双向端点
- 具有定期 OUT 支持的 12 个主机频道
- 内部 FS OTG PHY 支持

- 在 SDR 模式下支持 ULPI 的外部 HS 或 HS OTG 操作。OTG PHY 通过 12 个信号连接到微控制器 ULPI 端口。它可以使用 60 MHz 输出进行时钟。
- 内置 USB DMA
- 内部 HNP/SNP/IP（不需要任何外部电阻）
- 对于 OTG/主机模式，如果连接了总线供电的设备，则需要电源开关

2.2.32 数码相机接口 (DCMI)

相机界面是不在 STM32F405xx 设备中可用。

STM32F407xx 产品嵌入了一个相机接口，可以通过 8 位到 14 位并行接口与相机模块和 CMOS 传感器连接，以接收视频数据。相机接口可以在 54 MHz 下保持高达 54 Mbyte/s 的数据传输速率。它的特点是：

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可以是 8 位、10 位、12 位或 14 位
- 支持 8 位渐进视频单色或原始 bayer 格式，YCbCr 4:2:2 渐进视频，RGB 565 渐进视频或压缩数据（如 JPEG）
- 支持连续模式或快照（单帧）模式
- 自动裁剪图像的能力

2.2.33 真随机数生成器 (RNG)

所有 STM32F405xx 和 STM32F407xx 产品都嵌入了真正的随机数生成器 (RNG) 以 32 位样本的形式向应用程序提供完整的熵输出。它由活熵源（模拟）和内部调节组件组成。

2.2.34 通用输入/输出 (GPIO)

每个 GPIO 引脚都可以由软件配置为输出（推拉或开排，带或不带上拉或下拉）、输入（浮动，带或不带上拉或下拉）或外围替代功能。大多数 GPIO 引脚都与数字或模拟替代功能共享。所有 GPIO 都具有高电流能力，并具有速度选择，以更好地管理内部噪声、功耗和电磁发射。

如果需要，可以通过遵循特定序列来锁定 I/O 配置，以避免虚假写入 I/O 寄存器。

快速的 I/O 处理允许最大 I/O 切换高达 84 MHz。

2.2.35 模数转换器 (ADC)

嵌入了三个 12 位模数转换器，每个 ADC 共享多达 16 个外部通道，在单次拍摄或扫描模式下执行转换。在扫描模式下，对一组选定的模拟输入进行自动转换。

ADC 接口中嵌入的其他逻辑功能允许：

- 同时采样和保持
- 交错样品和保持

ADC 可以由 DMA 控制器提供服务。模拟看门狗功能允许非常精确地监控一个、部分或所有选定通道的转换电压。当转换后的电压超出编程阈值时，会产生中断。

为了同步 A/D 转换和计时器，ADC 可以由 TIM1、TIM2、TIM3、TIM4、TIM5 或 TIM8 计时器中的任何一个触发。

2.2.36 温度传感器

温度传感器必须产生随温度线性变化的电压。转换范围在 1.8V 和 3.6V 之间。温度传感器内部连接到 ADC1_IN16 输入通道，该通道用于将传感器输出电压转换为数字值。

由于过程变化，温度传感器的偏移量因芯片而异，内部温度传感器主要适用于检测温度变化而不是绝对温度的应用。如果需要准确的温度读数，则应使用外部温度传感器部件。

2.2.37 数模转换器 (DAC)

两个 12 位缓冲 DAC 通道可用于将两个数字信号转换为两个模拟电压信号输出。

此双数字接口支持以下功能：

- 两个 DAC 转换器：每个输出通道一个
- 8 位或 12 位单调输出
- 12 位模式下的左或右数据对齐
- 同步更新能力
- 噪声波产生
- 三角波发电
- 双 DAC 通道独立或同时转换
- 每个通道的 DMA 能力
- 转换的外部触发器
- 输入电压参考 $V_{\text{参考}+}$

设备中使用了八个 DAC 触发输入。DAC 通道通过计时器更新输出触发，这些输出也连接到不同的 DMA 流。

2.2.38 串行线 JTAG 调试端口 (SWJ-DP)

Arm SWJ-DP 接口是嵌入式的，是一个 JTAG 和串行线调试组合端口，可以将串行线调试或 JTAG 探头连接到目标。

调试仅使用 2 个引脚执行，而不是 JTAG 要求的 5 个引脚 (JTAG 引脚可以重复用作具有备用功能的 GPIO)：JTAG TMS 和 TCK 引脚分别与 SWDIO 和 SWCLK 共享，并且 TMS 引脚上的特定序列用于在 JTAG-DP 和 SW-DP 之间切换。

2.2.39 嵌入式 Trace Macrocell™

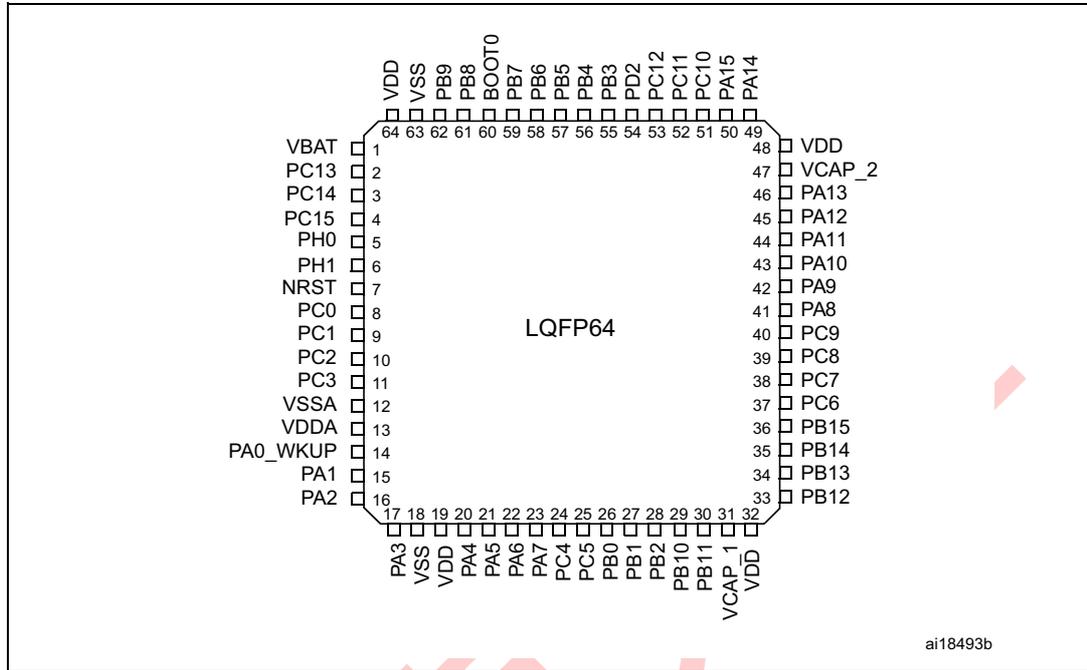
Arm Embedded Trace Macrocell 通过将压缩数据从 STM32F40xxx 通过少量 ETM 引脚传输到外部硬件跟踪端口分析器 (TPA) 设备, 以非常高的速度传输压缩数据, 从而提高了 CPU 核心内部的指令和数据流的可见性。TPA 使用 USB、以太网或任何其他高速通道连接到主机。可以记录实时指令和数据流活动, 然后格式化以显示在运行调试器 sof 的主机计算机上 Tware。TPA 硬件可从常见的开发工具供应商那里获得。

嵌入式跟踪宏细胞使用第三方调试器软件工具运行。

深圳南天星

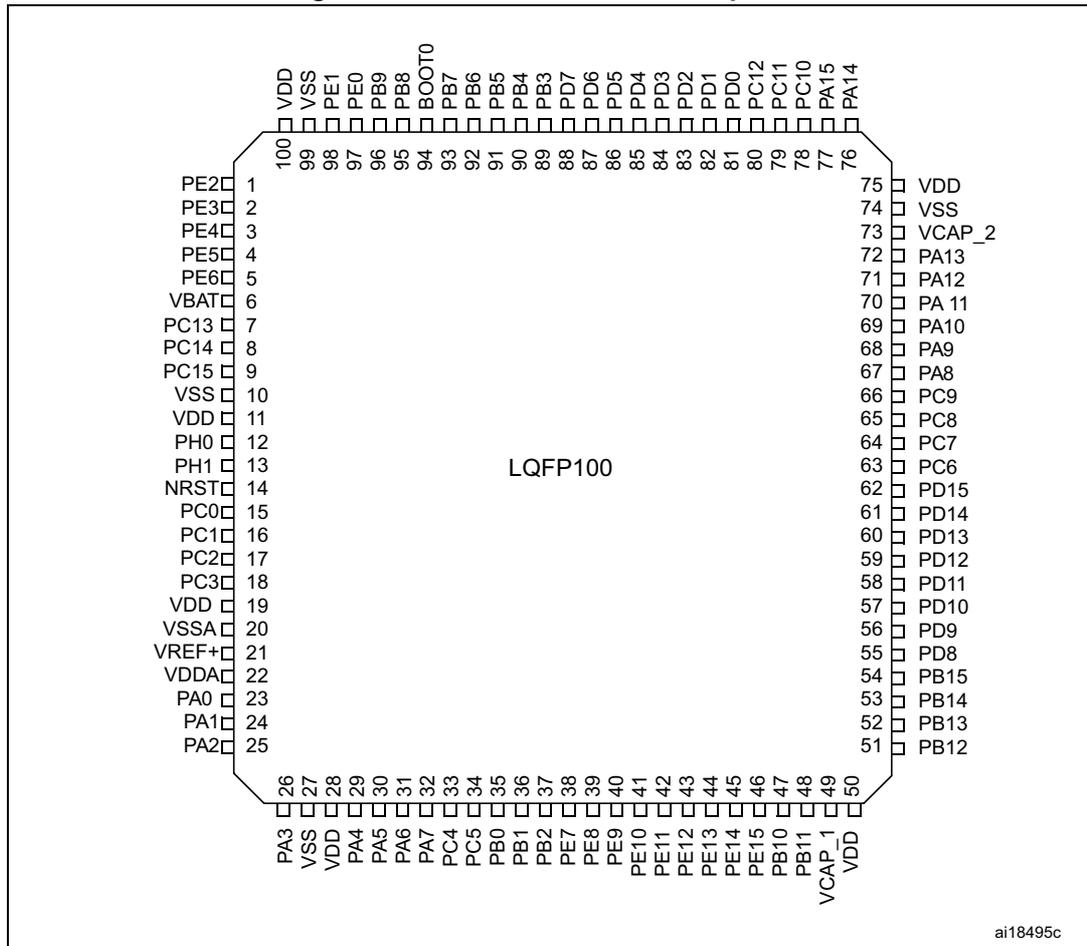
3 Pinouts and pin description

Figure 12. STM32F40xxx LQFP64 pinout



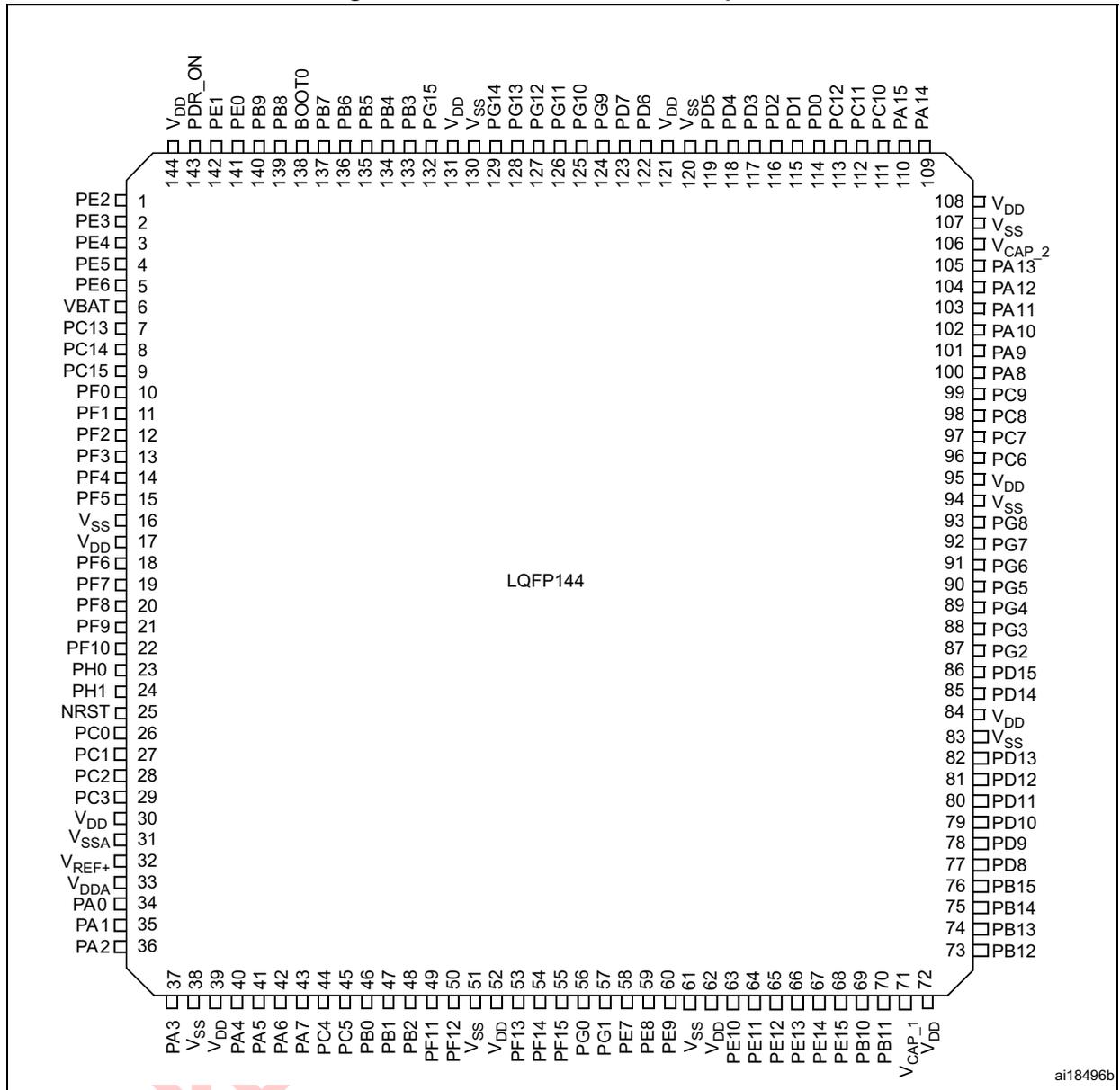
1. The above figure shows the package top view.

Figure 13. STM32F40xxx LQFP100 pinout



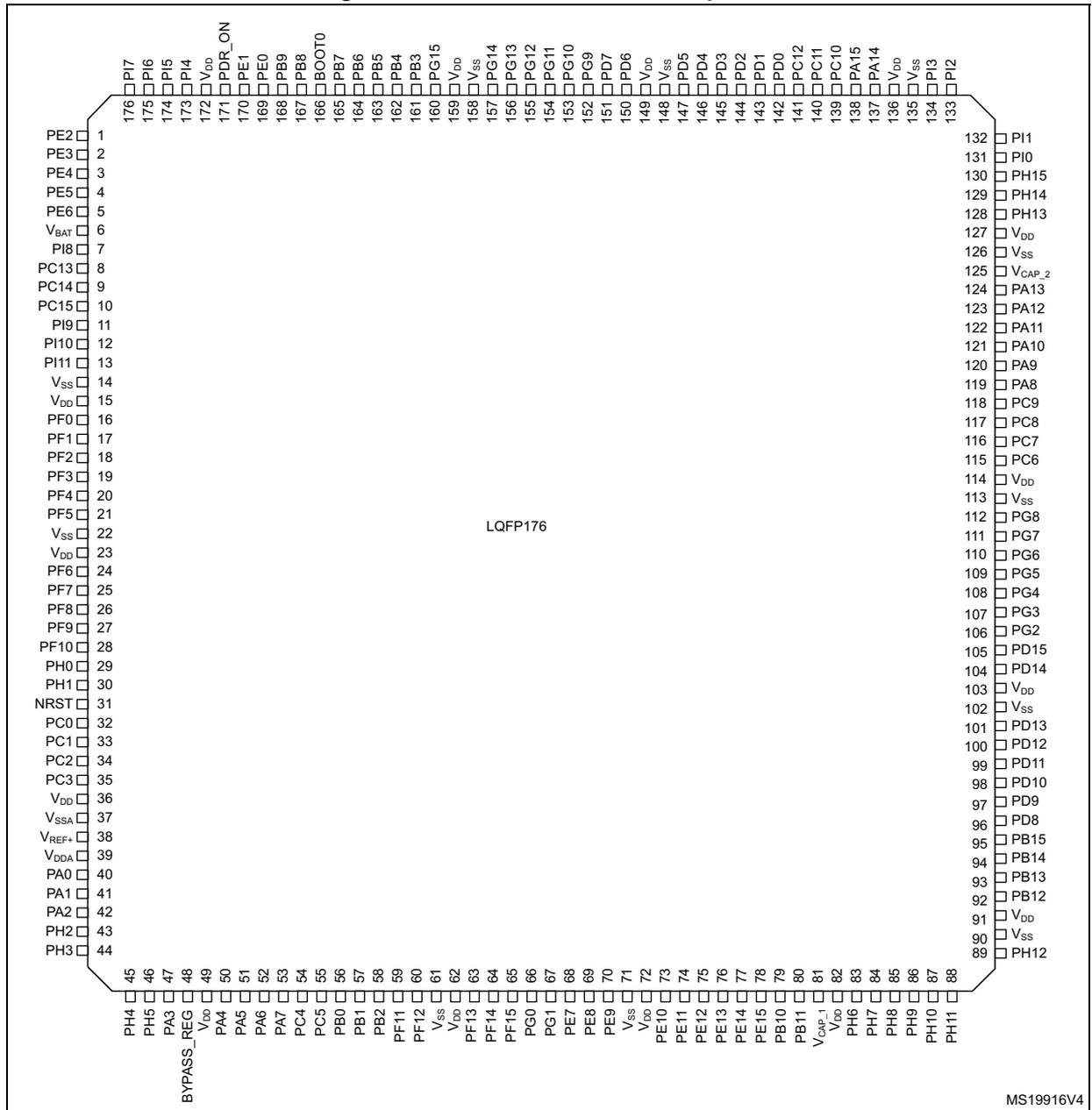
1. The above figure shows the package top view.

Figure 14. STM32F40xxx LQFP144 pinout



1. The above figure shows the package top view.

Figure 15. STM32F40xxx LQFP176 pinout



1. The above figure shows the package top view.

Figure 16. STM32F40xxx UFBGA176 ballout

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15					
A	PE3	PE2	PE1	PE0	PB8	PB5	PG14	PG13	PB4	PB3	PD7	PC12	PA15	PA14	PA13					
B	PE4	PE5	PE6	PB9	PB7	PB6	PG15	PG12	PG11	PG10	PD6	PD0	PC11	PC10	PA12					
C	VBAT	PI7	PI6	PI5	VDD	PDR_ON	VDD	VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11					
D	PC13	PI8	PI9	PI4	VSS	BOOT0	VSS	VSS	VSS	PD4	PD3	PD2	PH15	PH1	PA10					
E	PC14	PF0	PI10	PI11								PH13	PH14	PI0	PA9					
F	PC15	VSS	VDD	PH2	VSS					VSS					VSS	VCAP_2	PC9	PA8		
G	PH0	VSS	VDD	PH3	VSS					VSS					VSS	VDD	PC8	PC7		
H	PH1	PF2	PF1	PH4	VSS					VSS					VSS	VDD	PG8	PC6		
J	NRST	PF3	PF4	PH5	VSS					VSS					VDD	VDD	PG7	PG6		
K	PF7	PF6	PF5	VDD	VSS					VSS					PH12	PG5	PG4	PG3		
L	PF10	PF9	PF8	BYPASS_REG													PH11	PH10	PD15	PG2
M	VSSA	PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS	VCAP_1	PH6	PH8	PH9	PD14	PD13					
N	VREF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD	VDD	VDD	PE13	PH7	PD12	PD11	PD10					
P	VREF+	PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8					
R	VDDA	PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15					

ai18497b

1. This figure shows the package top view.

Figure 17. STM32F40xxx WLCSP90 ballout

	10	9	8	7	6	5	4	3	2	1
A	VBAT	PC13	PDR_ON	BOOT0	PB4	PD7	PD4	PC12	PA14	VDD
B	PC14	PC15	VDD	PB7	PB3	PD6	PD2	PA15	PI1	VCAP_2
C	PA0	VSS	PB9	PB6	PD5	PD1	PC11	PI0	PA12	PA11
D	PC2	BYPASS_REG	PB8	PB5	PD0	PC10	PA13	PA10	PA9	PA8
E	PC0	PC3	VSS	VSS	VDD	VSS	VDD	PC9	PC8	PC7
F	PH0	PH1	PA1	VDD	PE10	PE14	VCAP_1	PC6	PD14	PD15
G	NRST	VDDA	PA5	PB0	PE7	PE13	PE15	PD10	PD12	PD11
H	VSSA	PA3	PA6	PB1	PE8	PE12	PB10	PD9	PD8	PB15
J	PA2	PA4	PA7	PB2	PE9	PE11	PB11	PB12	PB14	PB13

MS30402V1

1. This figure shows the package bump view.

Table 6. Legend/abbreviations used in the pinout table

Name	Abbreviation	Definition
Pin name	Unless otherwise specified in brackets below the pin name, the pin function during and after reset is the same as the actual pin name	
Pin type	S	Supply pin
	I	Input only pin
	I/O	Input / output pin
I/O structure	FT	5 V tolerant I/O
	TTa	3.3 V tolerant I/O directly connected to ADC
	B	Dedicated BOOT0 pin
	RST	Bidirectional reset pin with embedded weak pull-up resistor
Notes	Unless otherwise specified by a note, all I/Os are set as floating inputs during and after reset	
Alternate functions	Functions selected through GPIOx_AFR registers	
Additional functions	Functions directly selected/enabled through peripheral registers	