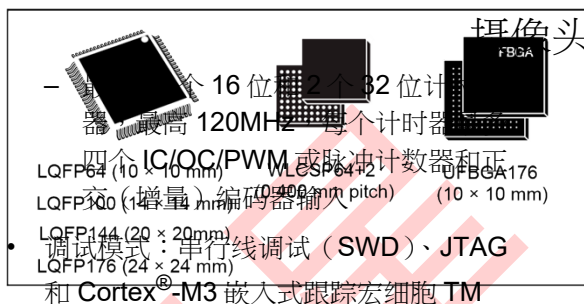


手臂®-基于 32 位 MCU，150 个 DMIP，高达 1 MB 闪存/128+4KB RAM，USB

OTG HS/FS，以太网，17 个 TIM，3 个 ADC，15 个通信接口和 Features

- 核心：带有自适应实时加速器（ART Accelerator™）的 32 位 Cortex-M3 CPU（最大 120 MHz），允许闪存、MPU、150 DMIPS/1.25 DMIPS/MHz（Dhrystone 2.1）
- 回忆
 - 高达 1 Mbyte 的闪存
 - 512 字节 OTP 内存
 - 高达 128 + 4 Kbytes 的 SRAM
 - 支持紧凑型闪存、SRAM、PSRAM、NOR 和 NAND 内存的灵活静态内存控制器
 - LCD 并行接口，8080/6800 模式
- 时钟、重置和供应管理
 - 从 1.8 到 3.6V 的应用程序供应+I/O
 - POR、PDR、PVD 和 BOR
 - 4 至 26MHz 晶体振荡器
 - 内部 16MHz 工厂修剪 RC
 - 32 kHz 振荡器，用于带校准的 RTC
 - 内部 32 kHz RC，带校准
- 低功耗模式
 - 睡眠、停止和待机模式
 - 伏特蝙蝠 RTC、20×32 位备份寄存器和可选的 4 千字节备份的供应 SRAM
- 3×12 位 0.5µs ADC，在三交错模式下具有多达 24 个通道和最多 6 个 MSPS
- 2×12 位 D/A 转换器
- 通用 DMA：具有集中式 FIFO 和突发支持的 16 流控制器
- 最多 17 个计时器



2020 年 7 月

这是关于全面生产的产品信息。

数据表 - 生产数据

- 最多 140 个具有中断功能的 I/O 端口：
 - 高达 136 个快速 I/O，最高可达 60MHz
 - 高达 138 5 V 容忍 I/O
- 最多 15 个通信接口
 - 最多三个 I²C 接口（SMBus/PMBus）
 - 最多四个 USART 和两个 UART（7.5 Mbit/s，ISO 7816 接口，LIN，IrDA，调制解调器控制）
 - 最多三个 SPI（30 Mbit/s），两个带 muxed I²S 通过音频 PLL 或外部 PLL 实现音频类准确性
 - 2×CAN 接口（2.0B Active）
 - SDIO 界面

- 高级连接
 - 带片上 PHY 的 USB 2.0 全速设备/主机 /OTG 控制器
 - USB 2.0 高速/全速设备/主机/OTG 控制器，具有专用 DMA、片上全速 PHY 和 ULPI
 - 具有专用 DMA 的 10/100 以太网 MAC：支持 IEEE 1588v2 硬件，MII/RMII
- 8 到 14 位并行相机接口（最多 48 兆字节/s）
- CRC 计算单元
- 96 位唯一 ID

1/181

www.st.com

参考	部件号
STM32F205xx	STM32F205RB、STM32F205RC、STM32F205RE、STM32F205RF、STM32F205RG STM32F205VB、STM32F205VC、STM32F205VE、STM32F205VF、STM32F205VG STM32F205ZC、STM32F205ZE、STM32F205ZF、STM32F205ZG
STM32F207xx	STM32F207IC、STM32F207IE、STM32F207IF、STM32F207IG STM32F207VC、STM32F207VE、STM32F207VF、STM32F207VG STM32F207ZC、STM32F207ZE、STM32F207ZF、STM32F207ZG

表 1。设备摘要



内容

1 导言	12
2 描述	13
2.1 整个家庭的完全兼容性.....	17
3 功能概述	20
3.1 手臂®皮层®-带有嵌入式闪存和 SRAM 的 M3 核心	20
3.2 自适应实时内存加速器 (ART Accelerator™)	20
3.3 内存保护单元.....	20
3.4 嵌入式闪存	21
3.5 CRC (循环冗余检查) 计算单元.....	21
3.6 嵌入式 SRAM	21
3.7 Multi-AHB 总线矩阵	21
3.8 DMA 控制器 (DMA)	22
3.9 灵活的静态内存控制器 (FSMC)	23
3.10 嵌套矢量中断控制器 (NVIC)	23
3.11 外部中断/事件控制器 (EXTI)	24
3.12 时钟和启动.....	24
3.13 引导模式	24
3.14 电源方案	24
3.15 电源主管.....	25
3.16 电压调节器	25
3.16.1 监管机构 ON	25
3.16.2 监管机构关闭	26
3.16.3 调节器开/关和内部重置开/关可用性.....	29

3.17	实时时钟 (RTC)、备份 SRAM 和备份寄存器.....	30
3.18	低功耗模式.....	30
3.19	伏特编辑操作.....	31
3.20	Timers and watchdogs.....	31
3.20.1	高级控制计时器 (TIM1, TIM8).....	32
3.20.2	通用计时器 (TIMx).....	33
3.20.3	基本计时器 TIM6 和 TIM7.....	33
3.20.4	独立监督狗.....	33
3.20.5	Window watchdog.....	34
3.20.6	SysTick 计时器.....	34
3.21	集成电路接口 (I2C).....	34
3.22	通用同步/异步接收器发射器 (UARTs/USARTs).....	34
3.23	串行外围接口 (SPI).....	35
3.24	集成声音 (I ² S).....	35
3.25	SDIO.....	35
3.26	支持专用 DMA 和 IEEE 1588 的以太网 MAC 接口... ..	36
3.27	控制器区域网络 (CAN).....	36
3.28	通用串行总线全速 (OTG_FS).....	36
3.29	通用串行总线在旅途中高速 (OTG_HS).....	37
3.30	Audio PLL (PLLI2S).....	37
3.31	数码相机接口 (DCMI).....	38
3.32	True random number generator (RNG).....	38
3.33	GPIOs (通用输入/输出).....	38
3.34	ADCs (analog-to-digital converters).....	38



3.35 DAC (digital-to-analog converter)	39
3.36 温度传感器	39
3.37 串行线 JTAG 调试端口 (SWJ-DP)	39
3.38 Embedded Trace Macrocell™	40
4 Pinouts and pin description	41
5 内存映射	65
6 电气特性	67
6.1 参数条件	67
6.1.1 最小值和最大值	67
6.1.2 典型值	67
6.1.3 典型的曲线	67
6.1.4 装载电容器	67
6.1.5 引脚输入电压	67
6.1.6 电源计划	68
6.1.7 当前消费测量	69
6.2 绝对最高收视率	69
6.3 操作条件	70
6.3.1 一般操作条件	70
6.3.2 VCAP1/VCAP2 外部电容器	73
6.3.3 开机/关机时的操作条件 (调节器打开)	74
6.3.4 开机/关机时的操作条件 (调节器关闭)	74
6.3.5 嵌入式复位和电源控制块特性	75
6.3.6 供应当前特性	76
6.3.7 从低功耗模式唤醒时间	87
6.3.8 外部时钟源特性	88

内容



6.3.9	内部时钟源特性	91
6.3.10	PLL 特性.....	93
6.3.11	PLL 扩频时钟生成 (SSCG) 特性.....	95
6.3.12	记忆特征.....	97
6.3.13	EMC 特性.....	99
6.3.14	绝对最大额定值 (电灵敏度)	100
6.3.15	I/O 电流注射特性.....	101
6.3.16	I/O 端口特性.....	102
6.3.17	NRST pin characteristics	107
6.3.18	TIM 计时器特性.....	108
6.3.19	通信接口	109
6.3.20	12 位 ADC 特性.....	121
6.3.21	DAC 电气特性.....	125
6.3.22	温度传感器特性	127
6.3.23	伏特蝙蝠监测特性	128
6.3.24	嵌入式参考电压	128
6.3.25	FSMC 特性.....	128
6.3.26	相机接口 (DCMI) 定时规格.....	146
6.3.27	SD/SDIO MMC 卡主机接口 (SDIO) 特性.....	146
6.3.28	RTC 特性.....	147
7	软件包信息	148
7.1	LQFP64 软件包信息	148
7.2	WLCSP64+2 软件包信息.....	151
7.3	LQFP100 软件包信息.....	153



7.4	LQFP144 软件包信息	156
7.5	LQFP176 软件包信息.....	160
7.6	UFBGA176+25 软件包信息	163
7.7	热特性	166
8	订购信息	167
9	修订历史	168



表格列表

表 1。	设备摘要.....	2
表 2。	STM32F205xx 功能和外围计数.....	14
表 3。	STM32F207xx 功能和外围计数.....	15
表 4。	调节器打开/关闭和内部重置打开/关闭可用性.....	29
表 5。	Timer feature comparison.....	31
表 6。	USART 功能比较.....	35
表 7。	指针表中使用的图例/缩写.....	45
表 8。	STM32F20x pin and ball definitions.....	46
表 9。	FSMC pin definition.....	57
表 10。	Alternate function mapping.....	59
表 11。	电压特性.....	69
表 12。	当前特征.....	70
表 13。	热特性.....	70
表 14。	一般操作条件.....	70
表 15。	限制取决于操作电源范围.....	72
表 16。	VCAP1/VCAP2 操作条件.....	73
表 17。	电源/关机（调节器打开）的操作条件.....	74
表 18。	开机/关机时的操作条件（调节器关闭）.....	74
表 19。	嵌入式重置和电源控制块特性.....	75
表 20。	运行模式下的典型和最大电流消耗，带有数据处理的代码从闪存（启用 ART 加速器）或 RAM 运行.....	77
表 21。	运行模式下的典型和最大电流消耗，带有数据处理的代码从闪存运行（ART 加速器禁用）.....	78



表 22。	睡眠模式下的典型和最大电流消耗.....	81
表 23。	停止模式下的典型和最大电流消耗.....	83
表 24。	待机模式下的典型和最大电流消耗.....	84
表 25。	V 的典型和最大电流消耗蝙蝠模式.....	84
表 26。	外围电流消耗.....	85
表 27。	低功耗模式唤醒时间.....	87
表 28。	高速外部用户时钟特性.....	88
表 29。	低速外部用户时钟特性.....	88
表 30。	HSE 4-26 MHz 振荡器特性.....	90
表 31。	LSE 振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$).....	91
表 32。	HSI 振荡器特性.....	91
表 33。	LSI 振荡器特性.....	92
表 34。	主要 PLL 特征.....	93
表 35。	PLLI2S (audio PLL) characteristics.....	94
表 36。	SSCG 参数约束.....	95
表 37。	闪存特性.....	97
表 38。	Flash memory programming.....	97
表 39。	使用 V 进行闪存编程 PP.....	98
表 40。	Flash memory endurance and data retention.....	98
表 41。	EMS 特性.....	99
表 42。	EMI 特征.....	100
表 43。	ESD absolute maximum ratings.....	100
表 44。	电气敏感性.....	101
表 45。	I/O 电流注射敏感性.....	101
表 46。	I/O 静态特征.....	102



列表

表 47 °	输出电压特性.....	104
表 48 °	I/O AC 特性.....	105
表 49 °	NRST pin characteristics	107
表 50 °	连接到 APB1 域的 TIMx 特性.....	108
表 51 °	连接到 APB2 域的 TIMx 特性.....	108
表 52 °	我 ² C 特性.....	109
表 53 °	SCL 频率 (f _{PCLK1} =30 MHz, V _{女儿} = 3.3 V).....	111
表 54 °	SPI 特性.....	111
表 55 °	我 ² S 的特性.....	114
表 56 °	USB OTG FS 启动时间.....	116
表 57 °	USB OTG FS DC 电气特性.....	116
表 58 °	USB OTG FS 电气特性.....	117
表 59 °	USB HS 直流电气特性.....	117
表 60 °	时钟计时参数.....	117
表 61 °	ULPI timing	118
表 62 °	以太网直流电气特性.....	118
表 63 °	动力学特性：SMI 以太网 MAC 信号.....	119
表 64 °	动力学特性：用于 RMII 的以太网 MAC 信号.....	119
表 65 °	动力学特性：MII 的以太网 MAC 信号.....	120
表 66 °	ADC 特性.....	121
表 67 °	ADC 准确性.....	122
表 68 °	DAC 特性.....	125
表 69 °	温度传感器特性.....	127
表 70 °	电压蝙蝠监测特性.....	128
表 71 °	嵌入式内部参考电压.....	128
表 72 °	异步非多工 SRAM/PSRAM/NOR 读取计时.....	129
表 73 °	异步非多工 SRAM/PSRAM/NOR 写入计时.....	130
表 74 °	异步多路复用 PSRAM/NOR 读取计时.....	131
表 75 °	异步多路复用 PSRAM/NOR 写入计时.....	132
表 76 °	Synchronous multiplexed NOR/PSRAM read timings	134



表 77 °	Synchronous multiplexed PSRAM write timings.	135	
表 78 °	Synchronous non-multiplexed NOR/PSRAM read timings.	136	
表 79 °	Synchronous non-multiplexed PSRAM write timings.	137	
表 80 °	PC 卡/CF 读写周期的切换特性□ In attribute/common space.	142	
表 81 °	I/O 空间中 PC 卡/CF 读写周期的开关特性.....	143	
表 82 °	NAND Flash 读取周期的开关特性.	145	
表 83 °	NAND Flash 写入周期的开关特性.	146	
表 84 °	DCMI 特性.	146	
表 85 °	SD/MMC 性.	147	特
表 86 °	RTC 性.	147	特
表 87 °	LQFP64 机械数据.	148	
表 88 °	WLCSP64+2 机械数据.	151	
表 89 °	WLCSP64+2 推荐的 PCB 设计规则 (0.4 毫米间距)	152	
表 90 °	LQFP100 机械数据.	153	
表 91 °	LQFP144 机械数据.	157	
表 92 °	LQFP176 机械数据.	160	
表 93 °	UFBGA176+25 机械数据.	163	
表 94 °	UFBGA176+25 推荐的 PCB 设计规则 (0.65 毫米间距 BGA)	164	
表 95 °	包装热特性.	166	
表 96 °	Document revision history	168	
			数字列表

数字列表

图 1 °	STM32F10x 和 STM32F2xx 之间的兼容板设计□ For LQFP64 package.	17	
图 2 °	STM32F10x 和 STM32F2xx 之间的兼容板设计□ For LQFP100 package.	18	
图 3 °	STM32F10x 和 STM32F2xx 之间的兼容板设计□	18	
图 4 °	STM32F20x block diagram.	19	
图 5 °	Multi-AHB 阵.	22	矩
图 6 °	调节器关闭/内部重置 ON	27	
图 7 °	调 节 器 关 闭 / 节 器 内 部 重 置 OFF	28	
图 8 °	调节器关闭的启动：慢 V 女儿斜坡， □		



图 14。	STM32F20x LQFP176 pinout.	44
图 15。	STM32F20x UFBGA176 ballout	45
图 16。	内存地图.	66
图 17。	Pin loading conditions.	67
图 18。	引脚输入电压.	67
图 19。	电源计划.	68
图 20。	当前消费测量方案.	69
图 21。	等待状态与 f 的数量 CPU 和 V _{女儿} 范围.	73
图 22。	外部电容器 C _{分机}	73
图 23。	典型电流消耗与温度，运行模式，带有数据的代码□ 从 RAM 和 外围设备 ON 运行的处理.	79
图 24。	典型电流消耗与温度，运行模式，带有数据的代码□ 从 RAM 运行的处理和 外围设备 OFF	79
图 25。	典型电流消耗与温度，运行模式，带有数据的代码□ 从 Flash 运行的处理，ART 加速器关闭，外围设备 ON.	80
图 26。	典型电流消耗与温度，运行模式，带有数据的代码□ 从 Flash 运行的处理，ART 加速器关闭，外围设备关闭.	80
图 27。	睡眠模式下的典型电流消耗与温度，□ 外围设备 ON	82
图 28。	睡眠模式下的典型电流消耗与温度，□ 外围设备 OFF	82
图 29。	停止模式下的典型电流消耗与温度.	83
图 30。	高速外部时钟源交流正时图.	89
图 31。	低速外部时钟源交流计时图.	89
图 32。	8MHz 晶体的典型应用.	90
图 33。	32.768 kHz 晶体的典型应用.	91
图 34。	ACC _{HSI} 与温度.	92
图 35。	ACC _{LSI} 与温度.	93
图 36。	中心传播模式下的 PLL 输出时钟波形.	96
图 37。	下降传播模式下的 PLL 输出时钟波形.	96



数字列表

图 38。	FT I/O input characteristics.	103
图 39。	I/O AC 特性定义.	106
图 40。	推荐 NRST pin protection.	107
图 41。	我 ² C 总线交流波形和测量电路.	110
图 42。	SPI 计时图-从模式和 CPHA = 0.	112
图 43。	SPI 计时图-从模式和 CPHA = 1.	113
图 44。	SPI 计 时 图 - 主 模 式.	113
图 45。	我 ² S 从属时序图 (飞利浦协议) ⁽¹⁾	115
图 46。	我 ² S 主计时图 (飞利浦协议) ⁽¹⁾	115
图 47。	USB OTG FS 时间: 数据信号上升和下降时间的定义.	117
图 48。	ULPI timing diagram.	118
图 49。	以 太 网 SMI 计 时 图.	119
图 50。	以 太 网 RMIII 计 时 图.	119
图 51。	以 太 网 MII 计 时 图.	120
图 52。	ADC 准 确 性 特 征.	123
图 53。	使用 ADC.	123
图 54。	电源和参考解耦 (V _{参考编号+} 没有连接到 V _{DDA})。	124
图 55。	电源和参考解耦 (V _{参考编号+} 连接到 V _{DDA})。	125
图 56。	12 位 缓 冲 / 非 缓 冲 DAC.	127
图 57。	异步非多复用 SRAM/PSRAM/NOR 读取波形.	129
图 58。	异步非多复用 SRAM/PSRAM/NOR 写入波形.	130
图 59。	异步多路复用 PSRAM/NOR 读取波形.	131
图 60。	异步多路复用 PSRAM/NOR 写波形.	132
图 61。	Synchronous multiplexed NOR/PSRAM read timings.	134
图 62。	Synchronous multiplexed PSRAM write timings.	135
图 63。	Synchronous non-multiplexed NOR/PSRAM read timings.	136
图 64。	Synchronous non-multiplexed PSRAM write timings.	137
图 65。	PC 卡/CompactFlash 控制器波形 For common memory read access.	139
图 66。	PC 卡/CompactFlash 控制器波形 For common memory write access.	139



图 67。	PC 卡/CompactFlash 控制器波形 For attribute memory read access	140
图 68。	PC 卡/CompactFlash 控制器波形 For attribute memory write access	141
图 69。	用于 I/O 空间读取访问的 PC 卡/CompactFlash 控制器波形	141
图 70。	用于 I/O 空间写入访问的 PC 卡/CompactFlash 控制器波形	142
图 71。	NAND 控制器波形用于读取访问	144
图 72。	NAND controller waveforms for write access	144
图 73。	NAND 控制器波形用于通用内存读取访问	145
图 74。	NAND 控制器波形用于通用内存写入访问	145
图 75。	SDIO 高速模式	146
图 76。	SD 默认模式	147
图 77。	LQFP64 大纲	148
图 78。	LQFP64 recommended footprint	149
图 79。	设备标记 (package top view)	150
图 80。	WLCSP64+2 大纲	151
图 81。	WLCSP64+2 recommended footprint	152
图 82。	LQFP100 大纲	153
图 83。	LQFP100 推荐的足迹	154
图 84。	LQFP100 marking (package top view)	155
图 85。	LQFP144 大纲	156
图 86。	LQFP144 recommended footprint	158
图 87。	LQFP144 marking (package top view)	159
图 88。	LQFP176 大纲	160
图 89。	LQFP176 recommended footprint	162
图 90。	UFBGA176+25 大纲	163
图 91。	UFBGA176+25 推荐的足迹	164
图 92。	UFBGA176+25 marking (package top view)	165

数字列表

简单介绍



1 简单介绍

此数据表提供了基于 Arm 的 STM32F205xx 和 STM32F207xx 系列微控制器的描述^{®(a)} 核心。有关整个 STMicroelectronics STM32 系列的更多详细信息，请参阅 [第2.1 节：整个家庭的完全兼容性](#)。

STM32F205xx 和 STM32F207xx 数据表必须与 STM32F20x/STM32F21x 参考手册一起阅读。在整个文档中，它们将被称为 STM32F20x 设备。

有关内部闪存编程、擦除和保护的信息，请参阅 STM32F20x/STM32F21x 闪存编程手册 (PM0059)。

参考手册和 Flash 编程手册都可以从 STMicroelectronics 网站获得 [Wwww.st.com](http://www.st.com)。

有关 Cortex 的信息[®]-M3 核心是指 Cortex[®]-M3 技术参考手册，可从 [Wwww.arm.com](http://www.arm.com) 网站。



The image shows the 'arm' logo in a bold, lowercase, sans-serif font.

A. Arm 是 Arm Limited (或其子公司) 在美国和/或其他地方的注册商标。

描述



2 描述

STM32F20x 系列基于高性能 ARM® Cortex-M3 32 位 RISC 核心以高达 120MHz 的频率运行。该系列集成了高速嵌入式内存（高达 1 Mbyte 的闪存，高达 128 Kbytes 的系统 SRAM），高达 4 Kbytes 的备份 SRAM，以及连接到两个 APB 总线、三个 AHB 总线和 32 位多 AHB 总线矩阵的广泛增强 I/O 和外围设备。

这些设备还具有自适应实时内存加速器（ART Accelerator™），允许在高达 120 MHz 的 CPU 频率下实现相当于 0 等待状态程序执行的性能。此性能已通过 CoreMark® 基准。

所有设备都提供三个 12 位 ADC，两个 DAC，一个低功耗 RTC，12 个通用 16 位计时器，包括两个用于电机控制的 PWM 计时器，两个通用 32 位计时器。

实数随机生成器（RNG）。它们还具有标准和先进的通信接口。新的高级外围设备包括 SDIO、增强的灵活静态内存控制（FSMC）界面（适用于 100 针或以上包装的设备）以及用于 CMOS 传感器的相机接口。这些设备还具有标准外围设备。

- 最多三个 I²C
- 三个 SPI，两个 I²Ss。为了实现音频类的准确性，I²S 外围设备可以通过专用的内部音频 PLL 或外部 PLL 进行计时，以允许同步。
- 四个 USART 和两个 UART
- 具有全速功能的 USB OTG 高速（带 ULPI）
- 第二个 USB OTG（全速）
- 两个 CAN
- SDIO 接口
- 以太网和摄像头接口仅在 STM32F207xx 设备上可用。

STM32F205xx 和 STM32F207xx 器件在 -40 至 +105°C 的 1.8V 至 3.6V 电源的温度范围内运行。在 WLCSP64+2 软件包中的设备上，如果 IRROFF 设置为 V_{DD}，当设备使用外部电源主管在 0 至 70°C 的温度范围内运行时，电源电压可以降至 1.7V（请参阅 [第 3.16 节](#)）。

一套全面的节能模式可以设计低功耗应用程序。

STM32F205xx 和 STM32F207xx 设备有各种包装，从 64 针到 176 针不等。随附的外围设备集随所选择的设备而变化。这些功能使 STM32F205xx 和 STM32F207xx 微控制器系列适用于广泛的应用：

- 电机驱动和应用控制
- 医疗设备
- 工业应用：PLC、逆变器、断路器
- 打印机和扫描仪
- 报警系统、视频对讲机和暖通空调
- 家用音频电器

[图 4](#) 显示设备系列的一般框图。





表 2。STM32F205xx 功能和外围设备计数

外围设备		STM32F205Rx					STM32F205Vx					STM32F205Zx			
闪存 (千字节)		128	256	512	768	1024	128	256	512	768	1024	256	512	768	1024
SRAM (千字节)	系统口 (SRAM1+SRAM2)	64 (48+16)	96 (80+16)	128 (112+16)			64 (48+16)	96 (80+16)	128 (112+16)			96 (80+16)	128 (112+16)		
	备份	4					4					4			
FSMC 内存控制器		不是					是 (1)								
以太网		不是													
计时器	多用途的	10													
	高级控制	2													
	日常必需品	2													
	IWDG	是													
	WWDG	是													
RTC		是													
随机数生成器		是													
通信接口	SPI/ I ² S	3/ (2) (2)													
	我 ² 光速	3													

	USARTD UART	4 2		
	USB OTG FS	是		
	USB OTG HS	是		
	装罐量	2		
相机界面		不是		
GPIO		51	82	114
SDIO		是		
12 位 ADC 通道数量		3		
		16	16	24
12 位 DAC 通道数量		是 的 2		
最大 CPU 频率		120 MHz		
工作电压		1.8V 至 3.6V ⁽³⁾		

表 2。STM32F205xx 功能和外围设备计数 (续)

外围设备	STM32F205Rx				STM32F205Vx	STM32F205Zx
工作温度	环境温度：-40 至 +85 °C / -40 至 +105 °C					
	连接温度：-40 至 +125 °C					
包裹	LQFP64	LQFP64 WLCSP64+2	LQFP64	LQFP64 WLCSP64+2	LQFP100	LQFP144

- 对于 LQFP100 套餐，只有 FSMC Bank1 或 Bank2 可用。Bank1 只能使用 NE1 芯片选择支持多路复用 NOR/PSRAM 内存。Bank2 只能使用 NCE2 芯片选择支持 16 位或 8 位 NAND 闪存。中断线路无法使用，因为此软件包中没有端口 G。
- SPI2 和 SPI3 接口提供了在 SPI 模式或 I2S 音频模式下以独家方式工作的灵活性。
- 在 WLCSP64+2 软件包中的设备上，如果 IRROFF 设置为 V_{女儿}，当设备使用外部电源主管在 0 至 70°C 的温度范围内运行时，电源电压可以降至 1.7V（请参阅 第 3.16 节）。

表 3。STM32F207xx 功能和外围设备计数

外围设备		STM32F207Vx				STM32F207Zx				STM32F207Ix			
		256	512	768	1024	256	512	768	1024	256	512	768	1024
闪存（千字节）		256	512	768	1024	256	512	768	1024	256	512	768	1024
SRAM（千字节）	系统口 (SRAM1+SRAM2)	128 (112+16)											
	备份	4											
FSMC 内存控制器		是 (1)											
以太网		是											
计时器	多用途的	10											
	高级控制	2											
	日常必需品	2											
	IWDG	是											
	WWDG	是											
RTC		是											
随机数生成器		是											

表 3。STM32F207xx 功能和外围设备计数 (续)

外围设备		STM32F207Vx	STM32F207Zx	STM32F207Ix
通信接口	SPI/ (I ² S)	3/ (2) ⁽²⁾		
	我 ² 光速	3		
	USART□ UART	4 2		
	USB OTG FS	是		
	USB OTG HS	是		
	装罐量	2		
相机界面		是		
GPIO		82	114	140
SDIO		是		
12 位 ADC□ 频道数量		3		
		16	24	24
12 位 DAC□ 频道数量		是 的 2		
最大 CPU 频率		120 MHz		
工作电压		1.8V 至 3.6V ⁽³⁾		
工作温度		环境温度：-40 至 +85 °C/-40 至 +105 °C		

	连接温度：-40 至 + 125 °C		
包裹	LQFP100	LQFP144	LQFP176/UFPGA176

1. 对于 LQFP100 套餐，只有 FSMC Bank1 或 Bank2 可用。Bank1 只能使用 NE1 芯片选择支持多路复用 NOR/PSRAM 内存。Bank2 只能使用 NCE2 芯片选择支持 16 位或 8 位 NAND 闪存。中断线路无法使用，因为此软件包中没有端口 G。
2. SPI2 和 SPI3 接口提供了在 SPI 模式或 I2S 音频模式下以独家方式工作的灵活性。
3. 在 WLCSP64+2 软件包中的设备上，如果 IRROFF 设置为 V_{女儿}，当设备使用外部电源主管在 0 至 70°C 的温度范围内运行时，电源电压可以降至 1.7V（请参阅 [第 3.16 节](#)）。

深圳南天星

2.1 整个家庭的完全兼容性

STM32F205xx 和 STM32F207xx 构成了 STM32F20x 系列，其成员完全引脚，软件和功能兼容，允许用户在开发周期中尝试不同的内存密度和外围设备，以获得更大程度的自由度。

STM32F205xx 和 STM32F207xx 设备与整个 STM32F10xxx 系列保持密切兼容。所有功能引脚都与引脚兼容。足够的

然而，STM32F205xx 和 STM32F207xx 不是 STM32F10xxx 设备的下拉式替代品：这两个系列没有相同的电源方案，因此它们的电源引脚不同。尽管如此，从 STM32F10xxx 到 STM32F20x 系列的过渡仍然很简单，因为只有几个引脚受到影响。

图 1，图 2 和图 3 在 STM32F20x 和 STM32F10xxx 系列之间提供兼容的板设计。

图 1。STM32F10x 和 STM32F2xx 之间的兼容板设计
对于 LQFP64 软件包

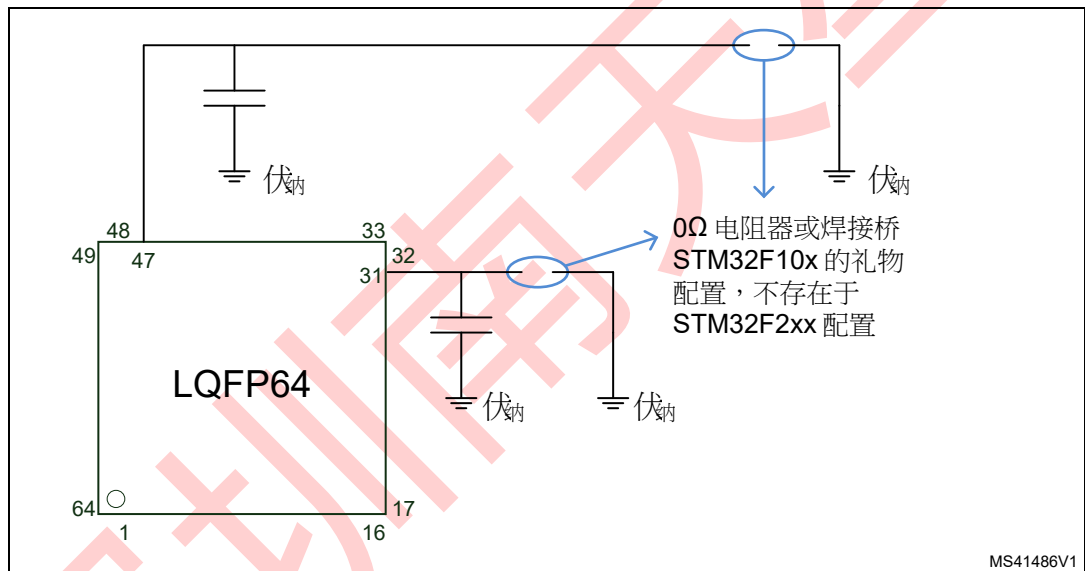
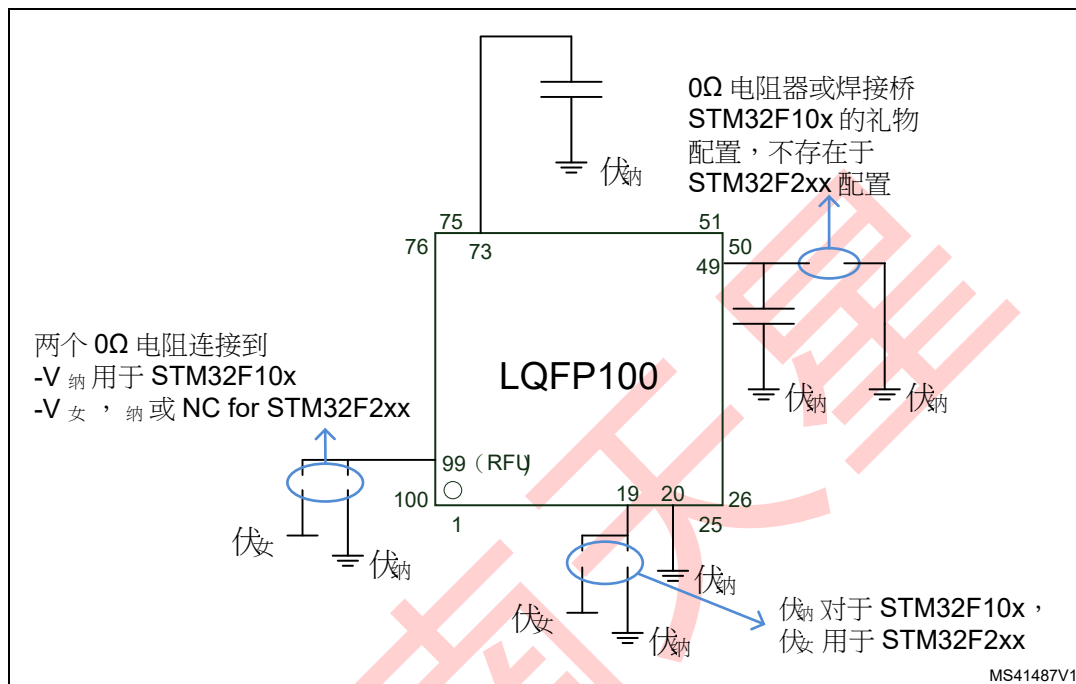
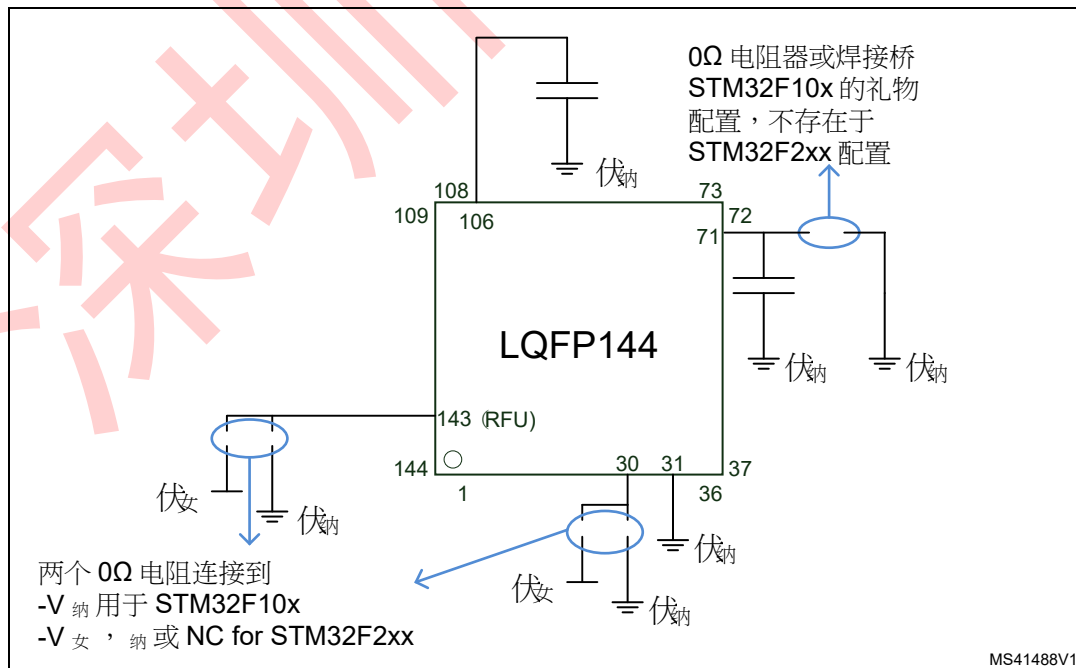


图 2。适用于 LQFP100 封装的 STM32F10x 和 STM32F2xx 之间的兼容板设计



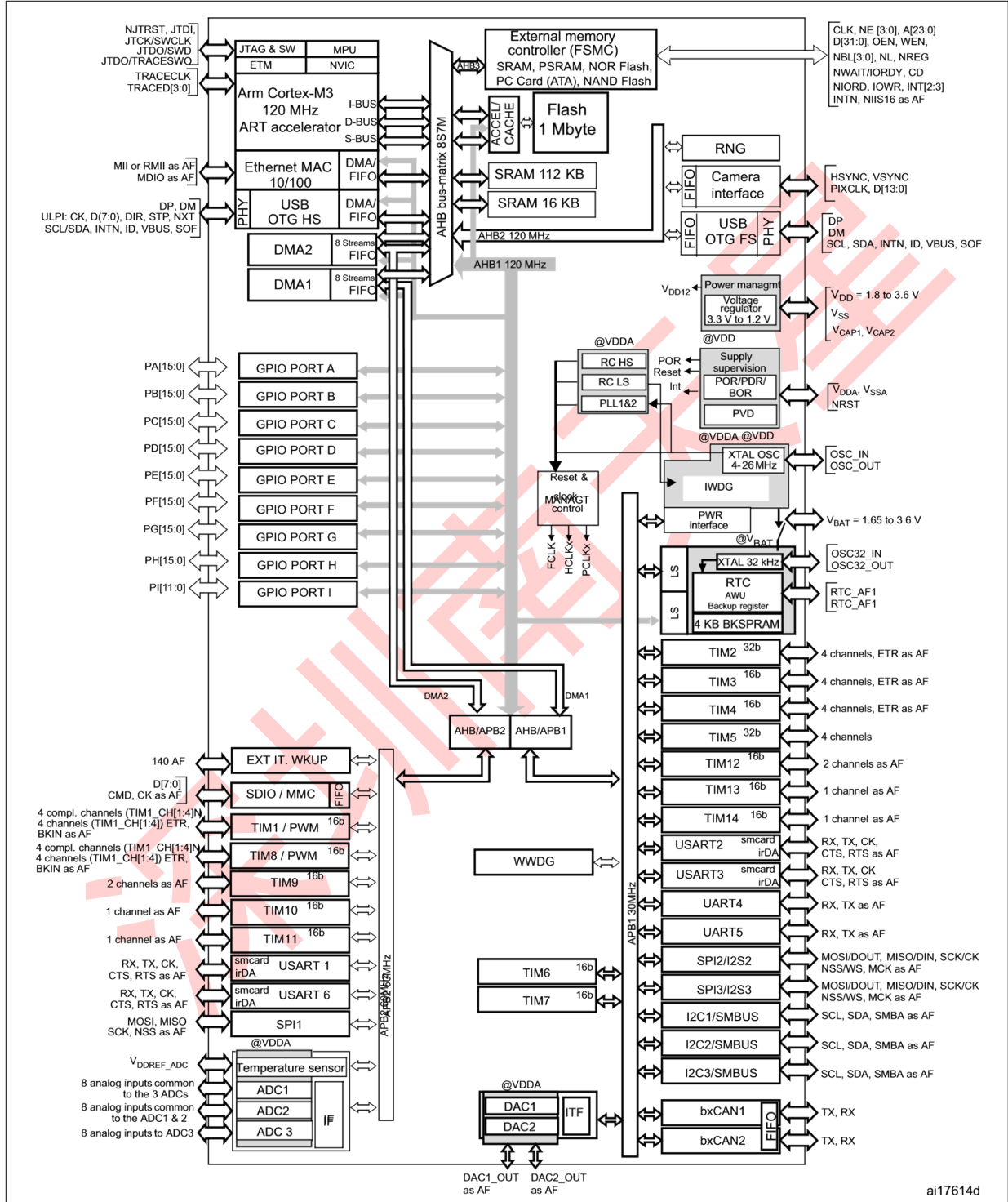
1. RFU = 保留供将来使用。

图 3。适用于 LQFP144 封装的 STM32F10x 和 STM32F2xx 之间的兼容板设计



1. RFU = 保留供将来使用。

图 4。STM32F20x 框图



1. 连接到 APB2 的计时器从 TIMxCLK 计时高达 120MHz，而连接到 APB1 的计时器从 TIMxCLK 计时高达 60MHz。
2. 相机接口和以太网仅在 STM32F207xx 设备中可用。

3 功能概述

3.1 手臂®皮层®-带有嵌入式闪存和 SRAM 的 M3 核心

手臂®皮层®-M3 处理器是嵌入式系统的最新一代处理器。它的开发是为了提供一个低成本平台，满足 MCU 实施的需求，减少引脚计数和低功耗，同时提供出色的计算性能和对中断的高级响应。

手臂®皮层®-M3 32 位 RISC 处理器具有卓越的代码效率，在通常与 8 位和 16 位设备关联的内存大小下提供 Arm 核心的高性能。

凭借其嵌入式手臂®核心，STM32F20x 系列与所有 Arm 兼容®工具和软件。

图 4 显示 STM32F20x 系列的一般框图。

3.2 自适应实时内存加速器 (ART Accelerator™)

ART 加速器™是一款内存加速器，针对 STM32 行业标准进行了优化®皮层®-M3 处理器。它平衡了手臂固有的性能优势®皮层®-M3 通过闪存技术，这通常要求处理器以更高的工作频率等待闪存。

为了在此频率下释放处理器的全部 150 DMIPS 性能，加速器实现了指令预取队列和分支缓存，从而提高了 128 位闪存的程序执行速度。基于 CoreMark®基准，通过 ART 加速器实现的性能相当于在高达 120 MHz 的 CPU 频率下从闪存执行 0 等待状态程序。

3.3 内存保护单元

内存保护单元 (MPU) 用于管理 CPU 对内存的访问，以防止一项任务意外损坏任何其他活动任务使用的内存或资源。这个内存区域被组织成多达 8 个保护区，这些保护区又可以分为 8 个子区域。保护区大小在 32 字节和整个 4 千兆字节的可寻址内存之间。

对于一些关键代码或认证代码必须免受其他任务不当行为的应用程序来说，MPU 特别有帮助。它通常由 RTOS (实时操作系统) 管理。如果程序访问 MPU 禁止的内存位置，RTOS 可以检测到它并采取行动。在 RTOS 环境中，内核可以根据要执行的进程动态更新 MPU 区域设置。

MPU 是可选的，对于不需要它的应用程序，可以绕过。

3.4 嵌入式闪存

STM32F20x 设备嵌入了 128 字节、256 字节、512 字节、768 字节或 1 兆字节的 128 位宽闪存，可用于存储程序和数据。

这些设备还具有 512 字节的 OTP 内存，可用于存储关键用户数据，如以太网 MAC 地址或加密密钥。

3.5 CRC（循环冗余检查）计算单元

CRC（循环冗余检查）计算单元用于从 32 位数据字和固定生成多项式中获取 CRC 代码。

在其他应用中，基于 CRC 的技术用于验证数据传输或存储完整性。在 EN/IEC 60335-1 标准范围内，它们提供了一种验证闪存完整性的方法。CRC 计算单元有助于在运行时计算软件签名，与链接时生成并存储在给定内存位置的参考签名进行比较。

3.6 嵌入式 SRAM

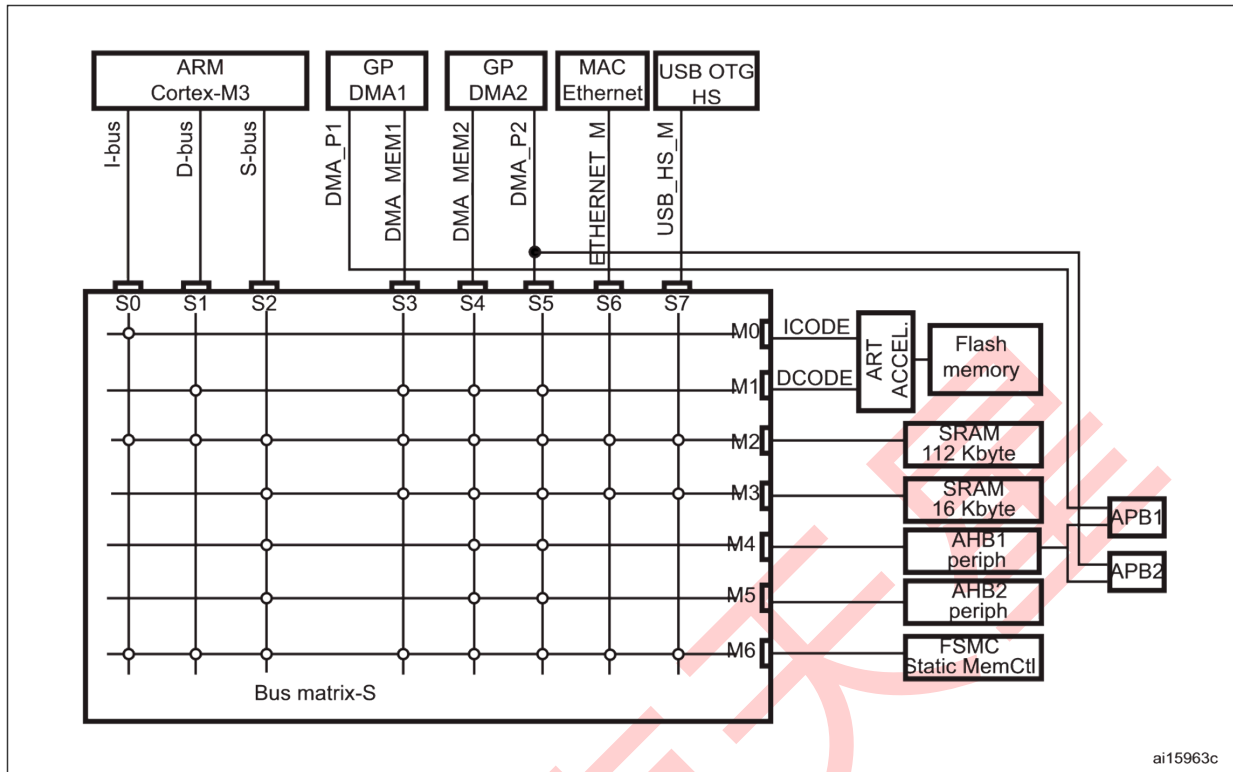
所有 STM32F20x 产品嵌入：

- 以 CPU 时钟速度访问（读/写）高达 128K 字节的系统 SRAM，等待状态为 0
- 4K 字节的备份 SRAM。
此区域的内容受到保护，防止可能不需要的写入访问，并保留在待机或 V 中蝙蝠模式。

3.7 多 AHB 总线矩阵

32 位多 AHB 总线矩阵将所有主站（CPU、DMA、以太网、USB HS）和从站（闪存、RAM、FSMC、AHB 和 APB 外围设备）互连，即使多个高速外围设备同时工作，也能确保无缝高效运行。

图 5。多 AHB 矩阵



3.8 DMA 控制器 (DMA)

这些设备具有两个通用双端口 DMA (DMA1 和 DMA2)，每个都有 8 个流。他们能够管理内存到内存、外围设备到内存和内存到外围设备传输。它们共享一些用于 APB/AHB 外围设备的集中式 FIFO，支持突发传输，旨在提供最大的外围带宽 (AHB/APB)。

两个 DMA 控制器支持循环缓冲区管理，因此当控制器到达缓冲区末端时，不需要特定的代码。两个 DMA 控制器还具有双缓冲功能，无需任何特殊代码即可自动使用和切换两个内存缓冲区。

每个流都连接到专用的硬件 DMA 请求，每个流都支持软件触发器。配置由软件进行，源和目的地之间的传输大小是独立的。

DMA 可以与主要外围设备一起使用：

- SPI 和我²罗马字母的第十九个
- 我²字母 C
- USART 和 UART
- 通用、基本和高级控制计时器 TIMx
- DAC
- SDIO
- 相机接口 (DCMI)
- ADC。



3.9 灵活的静态存储器控制器 (FSMC)

FSMC 嵌入到所有 STM32F20x 设备中。它有四个芯片选择输出，支持以下模式：PC 卡/紧凑型闪存、SRAM、PSRAM、NOR 闪存和 NAND 闪存。

功能概述：

- 写 FIFO
- 除 NAND 闪存和 PC 卡外，从外部内存执行代码
- 最大频率 (f_{HCLK}) 外部访问为 60 MHz

LCD 并联接口

FSMC 可以配置为与大多数图形 LCD 控制器无缝接口。它支持英特尔 8080 和摩托罗拉 6800 模式，并且足够灵活，可以适应特定的 LCD 接口。这种 LCD 并行接口功能可以轻松使用带有嵌入式控制器的 LCD 模块或使用具有专用加速的外部控制器的高性能解决方案构建具有成本效益的图形应用程序。

3.10 嵌套矢量中断控制器 (NVIC)

STM32F20x 设备嵌入了一个嵌套的矢量中断控制器，能够管理 16 个优先级，并处理多达 81 个可掩码的中断通道以及 Cortex 的 16 条中断线[®]-M3。

NVIC 的主要特点如下：

- 紧密耦合的 NVIC 提供低延迟中断处理
- 直接传递到核心的中断条目矢量表地址
- 紧密耦合的 NVIC 核心接口
- 允许早期处理中断
- 处理迟到、优先级更高的中断
- 支撑尾链
- 处理器状态自动保存
- 在中断出口上恢复中断入口，没有指令开销

此硬件块提供灵活的中断管理功能，中断延迟最小。

3.11 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由 23 条用于生成中断/事件请求的边缘检测器线组成。每条线都可以独立配置为选择触发事件（上升边缘、下降边缘，两者），并且可以独立屏蔽。挂起的寄存器维护中断请求的状态。EXTI 可以检测脉冲宽度短于内部 APB2 时钟周期的外部线路。多达 140 个 GPIO 可以连接到 16 条外部中断线路。

3.12 时钟和启动

重置时，选择 16 MHz 内部 RC 振荡器作为默认 CPU 时钟。16 MHz 内部 RC 振荡器经过工厂修剪，可提供 1% 的精度。然后，该应用程序可以选择 RC 振荡器或外部 4-26 MHz 时钟源作为系统时钟。这个时钟受到监控，以防故障。如果检测到故障，系统会自动切换回内部

RC振荡器，并生成软件中断（如果启用）。同样，PLL时钟条目的完全中断管理是必要时可用（例如，如果间接使用的外部振荡器出现故障）。

高级时钟控制器使用单晶或振荡器对核心和所有外围设备进行时钟。特别是，以太网和 USB OTG FS 外围设备可以通过系统时钟进行时钟。

几个预缩放器和 PLL 允许配置三个 AHB 总线，高速 APB（APB2）和低速 APB（APB1）域。三个 AHB 总线的最大频率为 120 MHz，高速 APB 域的最大频率为 60 MHz。低速 APB 域的最大允许频率为 30 MHz。

这些设备嵌入了一个专用的 PLL（PLLI2S），允许它们实现音频类性能。在这种情况下，I²S 主时钟可以生成从 8 kHz 到 192 kHz 的所有标准采样频率。

3.13 引导模式

启动时，引导引脚用于从三个引导选项中选择一个：

- 从用户闪存启动
- 从系统内存启动
- 从嵌入式 SRAM 启动

引导加载程序位于系统内存中。它用于通过 DFU（设备固件升级）使用 USART1（PA9/PA10）、USART3（PC10/PC11 或 PB10/PB11）、CAN2（PB5/PB13）、设备模式下的 USB OTG FS（PA11/PA12）重新编程闪存。

3.14 电源计划

- $V_{\text{女儿}} = 1.8$ 至 3.6 V：I/O 的外部电源和内部调节器（启用时），通过 V 外部提供 女儿 引脚。在 WLCSP64+2 封装的设备上，如果 IRROFF 设置为 V 女儿，当设备运行时，电源电压可以下降到 1.7V

在 0 至 70°C 的温度范围内，使用外部电源主管（见 [第 3.16 节](#)）。

- V_{SSA} ， $V_{\text{DDA}} = 1.8$ 至 3.6 V：用于 ADC、DAC、重置块、RC 和 PLL 的外部模拟电源。 V_{DDA} 和 V_{SSA} 必须连接到 V 女儿 和 V 纳粹党卫军，分别。

- $V_{\text{蝙蝠}} = 1.65$ 至 3.6 V：RTC、外部时钟、32 kHz 振荡器和备用寄存器（通过电源开关）的电源，当 V 女儿 不在场。

参考 [图 19：电源方案](#) 了解更多详情。

3.15 电源主管

这些设备具有集成的开机复位（POR）/关机复位（PDR）电路，以及停电复位（BOR）电路。



在开机时，POR/PDR 始终处于活动状态，并确保从 1.8V 开始正常运行。达到 1.8 V POR 阈值级别后，选项字节加载过程开始，以确认或修改默认的 BOR 阈值级别，或永久禁用 BOR。三个 BOR 阈值可以通过选项字节获得。

当 V_{DD} 时，设备仍处于重置模式 V_{DD} 低于指定的阈值， $V_{POR/PDR}$ 或 V_{BOR} ，不需要外部复位电路。在 WLCSP64+2 封装的设备上，可以通过将 IRROFF 引脚设置为 V_{DD} 来禁用 BOR、POR 和 PDR 功能。在此模式下，需要外部电源主管（请参阅 [第 3.16 节](#)）。

这些设备还具有嵌入式可编程电压检测器（PVD），可监控 V_{DDA} 电源，并将其与 V_{DD} 进行比较 PVD 阈值。当 V_{DDA} 下降到 V_{DD} 以下 PVD 阈值和/或当 V_{DDA} 比 V_{DD} 高 PVD 阈值。然后，中断服务例程可以生成警告消息和/或将 MCU 置于安全状态。PVD 由软件启用。

3.16 电压调节器

监管机构有五种操作模式：

- 调节器 ON
 - 主调节模式（MR）
 - 低功率调节器（LPR）
 - 关机 □ 调节器关闭
 - 调节器关闭/内部重置打开
 - 调节器关闭/内部重置关闭

3.16.1 调节器 ON

调节器 ON 模式默认在 LQFP 封装上激活。在 WLCSP64+2 封装上，它们通过将 REGOFF 和 IRROFF 引脚连接到 V_{DD} 来激活，而只有 REGOFF 必须连接到 V_{DD} 在 UFBGA176 软件包上（IRROFF 不可用）。

V_{DD} 最小值为 1.8V。

当调节器打开时，软件配置了三种电源模式：

- MR 用于标称调节模式
- LPR 在停止模式下使用
 - 当进入停止模式时，LP 调节器模式由软件配置。
- 关机用于待机模式。
 - 只有在进入待机模式时，才会激活关机模式。调节器输出处于高阻抗，内核电路断电，诱导零消耗。寄存器和 SRAM 的内容丢失了）。

两个外部陶瓷电容器必须连接到 V_{DD} 上 CAP_1 和 V_{DD} CAP_2 针。参考 [图 19：电源方案](#) 和 [表 16：VCAP1/VCAP2 操作条件](#)。

所有软件包都具有调节器 ON 功能。

3.16.2 调节器关闭

此功能仅适用于带有 REGOFF 引脚的软件包。监管机构因将 REGOFF 保持在高位而被禁用。调节器关闭模式允许通过 V 向外部提供 V12 电压源 CAP_1 和 V_{CAP_2} 引脚。

两个 2.2μF 陶瓷电容器必须被两个 100 nF 解耦电容器取代。参考 [图 19：电源方案](#)。

当调节器关闭时，V12 上不再有内部监控。必须使用外部电源主管来监控逻辑电源域的 V12。PA0 引脚必须用于此目的，并作为 V12 电源域上的电源重置。

在调节器关闭模式下，不再支持以下功能：

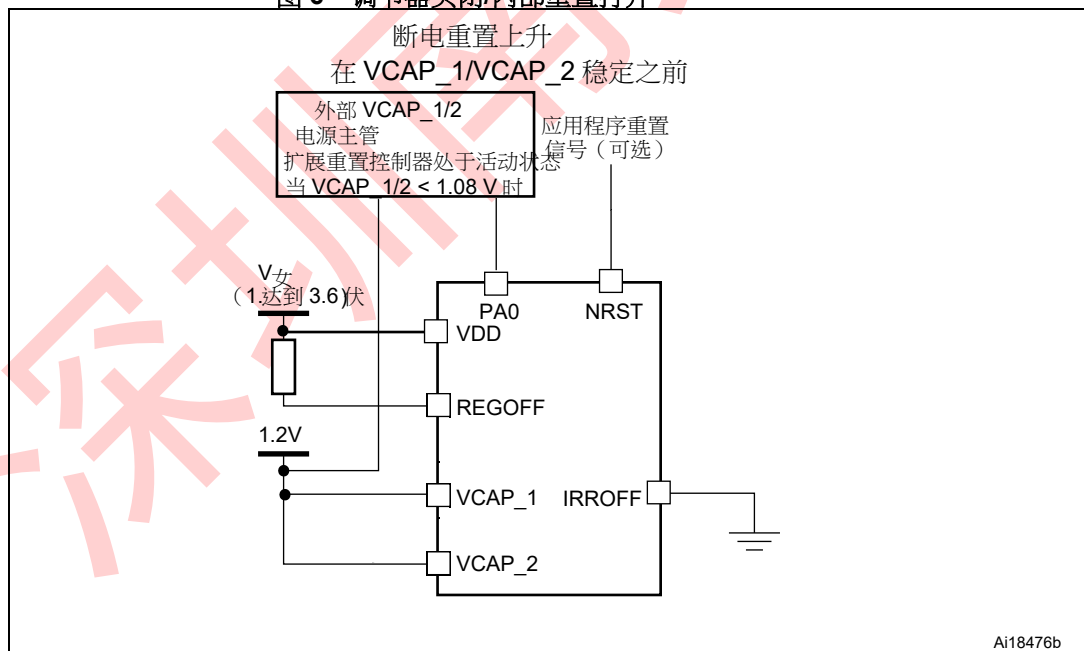
- PA0 不能用作 GPIO 引脚，因为它允许重置 1.2V 逻辑功率域中没有被 NRST 引脚重置的部分。
- 只要 PA0 保持在低水平，调试模式就不能在开机重置时使用。因此，如果需要重置或预重置时的调试连接，则必须单独管理 PA0 和 NRST 引脚。

调节器关闭/内部重置打开

在 WLCSP64+2 软件包上，通过将 REGOFF 引脚连接到 V 来激活此模式_{女儿}和 IRROFF 固定到 V_{纳粹党卫军}。在 UFBGA176 软件包上，只有 REGOFF 必须连接到 V_{女儿}（IRROFF 不可用）。在这种模式下，V_{女儿}/VDDA 最小值为 1.8V。

调节器关闭/内部复位开启模式允许用户通过 V 向外部提供 1.2V 电压源 CAP_1 和 V_{CAP_2} 引脚，除了 V_{女儿}。

图 6。调节器关闭/内部重置打开



必须遵守以下条件：

- V_{女儿} 必须始终高于 V_{CAP_1} 和 V_{CAP_2} 避免在功率域之间进行电流注入。

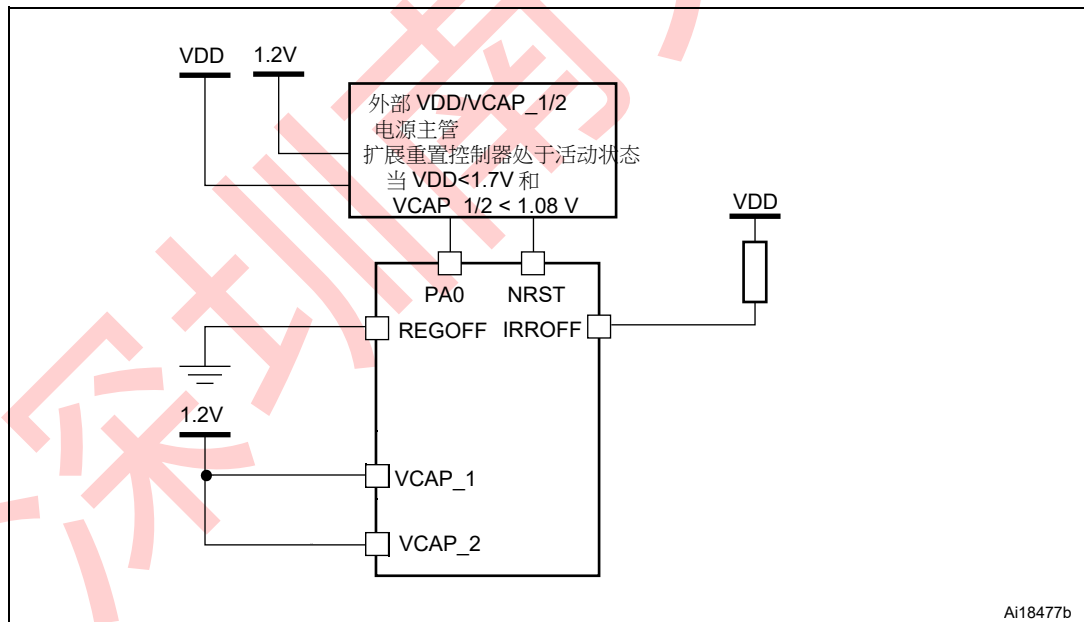
- 如果时间为 V_{CAP_1} 和 V_{CAP_2} 达到 1.08 V 的速度比 $V_{女儿}$ 的时间快 $V_{女儿}$ 要达到 1.8V，那么 PA0 必须保持在低水平以涵盖这两种条件：直到 V_{CAP_1} 和 V_{CAP_2} 达到 1.08 V，直到 $V_{女儿}$ 达到 1.8V（见 图8）。
- 否则，如果时间为 V_{CAP_1} 和 V_{CAP_2} 达到 1.08 V 的速度比 $V_{女儿}$ 的时间慢 $V_{女儿}$ 要达到 1.8V，那么 PA0 必须在外部保持低（见 图9）。
- 如果 V_{CAP_1} 和 V_{CAP_2} 低于 1.08 V 和 $V_{女儿}$ 高于 1.8 V，则必须在 PA0 引脚上断言重置。

调节器关闭/内部重置关闭

在 WLCSP64+2 软件包上，通过将 REGOFF 连接到 V 来激活此模式 $V_{女儿}$ 和 IRROFF 到 $V_{女儿}$ 。IRROFF 不能与 REGOFF 一起激活。此模式仅在 WLCSP64+2 软件包上可用。它允许通过 V 向外部提供 1.2V 的电压源 V_{CAP_1} 和 V_{CAP_2} 引脚。在此模式下，集成开机复位（POR）/关机复位（PDR）电路被禁用。

外部电源主管必须同时监控外部 1.2V 和外部 $V_{女儿}$ 电源电压，并且必须将设备保持在重置模式下，只要它们保持在指定的阈值以下。 $V_{女儿}$ 指定的阈值为 1.8V，低于该阈值，设备必须在重置时保持。当设备在 0 至 70°C 的温度范围内运行时，该电源电压可能会降至 1.7V。一套全面的省电模式允许设计低功耗应用程序。

图 7。调节器关闭/内部重置关闭

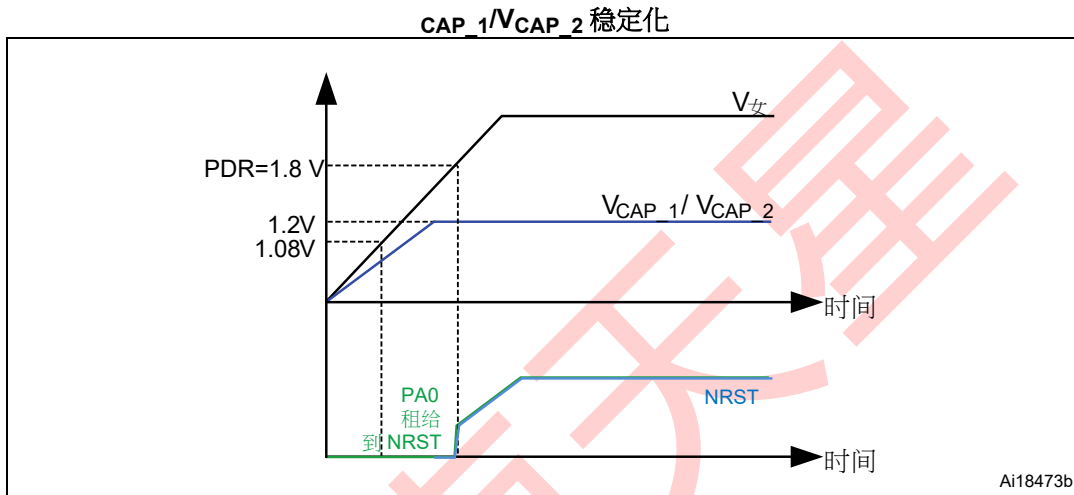


必须遵守以下条件：

- $V_{女儿}$ 必须始终高于 V_{CAP_1} 和 V_{CAP_2} 避免在功率域之间注入电流（见 图8）。
- PA0 必须保持在低水平以涵盖这两个条件：直到 V_{CAP_1} 和 V_{CAP_2} 达到 1.08 V，直到 $V_{女儿}$ 达到 1.7 V。

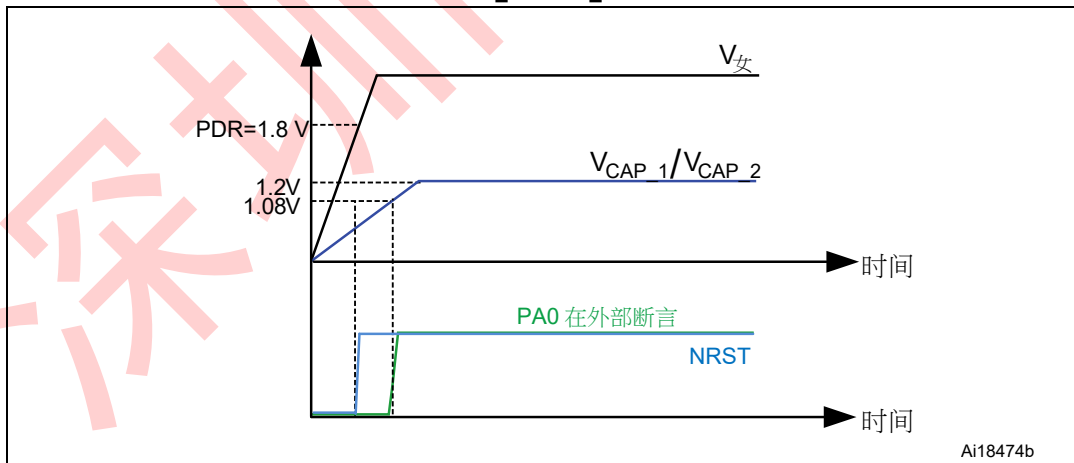
- NRST 必须由外部重置控制器控制，以保持设备在 V_{DD} 时重置电压低于 1.7 V (见 图 9)。
- 在此模式下，当内部重置关闭时，将不再支持以下集成功能：
- 集成开机复位 (POR) / 关机复位 (PDR) 电路已禁用。
 - 停电复位 (BOR) 电路被禁用。
 - 嵌入式可编程电压检测器 (PVD) 被禁用。
 - V 蝙蝠功能不再可用，V 蝙蝠引脚必须连接到 VDD。

图 8。启动调节器关闭：慢速 V_{DD} 斜坡， V_{DD} 后升压重置



1. 无论内部重置模式 (打开或关闭)，此数字都是有效的。

图 9。启动调节器关闭：快速 V_{DD} 斜坡，电源关闭重置在 V_{DD} 之前上升 V_{CAP1}/V_{CAP2} 稳定化



3.16.3

调节器开/关和内部重置开/关可用性

表 4。调节器开/关和内部重置开/关可用性



包裹	调节器开启/内部重置开启	调节器关闭/内部重置打开	调节器关闭/内部重置关闭
LQFP64 LQFP100 LQFP144 LQFP176	是	不是	不是
WLCSP 64+2	是 REGOFF 和 IRROFF 设置为 $V_{\text{纳粹党卫军}}$	是 REGOFF 设置为 $V_{\text{女儿}}$ 和 IRROFF 设置为 $V_{\text{纳粹党卫军}}$	是 REGOFF 设置为 $V_{\text{纳粹党卫军}}$ 和 IRROFF 设置为 $V_{\text{女儿}}$
UFBGA176	是的，REGOFF 设置为 $V_{\text{纳粹党卫军}}$	是的，REGOFF 设置为 $V_{\text{女儿}}$	不是

3.17 实时时钟 (RTC)、备份 SRAM 和备份寄存器

STM32F20x 设备的备份域包括：

- 实时时钟 (RTC) 4 Kbytes 的备份 SRAM
- 20 个备份寄存器

实时时钟 (RTC) 是一个独立的 BCD 计时器/计数器。它的主要特点如下：

- 专用寄存器包含 BCD (二进制编码十进制) 格式的第二、分钟、小时 (12/24 小时)、工作日、日期、月份、年份。
- 每月 28 日、29 日 (闰年)、30 日和 31 日的自动更正。
- 可编程警报和可编程定期中断，从停止和待机模式唤醒。
- 它由 32.768 kHz 的外部晶体、谐振器或振荡器时钟，内部 4 低功率 RC 振荡器或高速外部时钟除以 128。内部低速 RC 的典型频率为 32 kHz。RTC 可以使用外部 512 Hz 输出进行校准，以补偿任何自然石英偏差。
- 两个警报寄存器用于在特定时间生成警报，日历字段可以独立屏蔽以进行警报比较。为了生成定期中断，可以使用具有可编程分辨率的 16 位可编程二进制自动重新加载下计数器，并允许每 120 微秒到每 36 小时自动唤醒和定期警报。
- 20 位预缩放器用于时间基时钟。默认情况下，它被配置为从 32.768 kHz 的时钟生成 1 秒的时间基。
- 参考时钟检测：可以使用更精确的第二源时钟 (50 或 60 Hz) 来提高日历精度。

4K 字节的备份 SRAM 是一个类似 EEPROM 的区域。它可用于存储需要在 VBAT 和待机模式下保留的数据。此内存区域被禁用，以最大限度地减少功耗 (请参阅 [第 3.18 节：低功耗模式](#))。它可以通过软件启用。

备份寄存器是 32 位寄存器，用于存储 80 字节的用户应用程序数据，当 $V_{\text{女儿}}$ 电压不存在。备份寄存器不会被系统、电源重置或设备从待机模式唤醒时重置 (请参阅 [第 3.18 节：低功耗模式](#))。

与备份 SRAM 一样，RTC 和备份寄存器是通过由 V 供电的交换机提供的女儿供应在场或 $V_{\text{蝙蝠}}$ 蝙蝠。

3.18 低功耗模式

STM32F20x 系列支持三种低功耗模式，以实现低功耗、短启动时间和可用唤醒源之间的最佳折衷：

- **休眠模式**

在睡眠模式下，只有 CPU 停止。所有外围设备都继续运行，当发生中断/事件时，可以唤醒 CPU。

- **停止模式**

停止模式实现了最低的功耗，同时保留了内容 SRAM 和寄存器。1.2 V 域中的所有时钟都停止了，PLL，HSI RC HSE 晶体振荡器被禁用。电压调节器也可以置于正常或低功耗模式。

该设备可以通过任何 EXTI 线路从停止模式唤醒。EXTI 线路源可以是 16 条外部线路之一，PVD 输出，RTC 警报/唤醒/篡改/时间戳事件，USB OTG FS/HS 唤醒或以太网唤醒。

- **待机模式**

待机模式用于实现最低功耗。内部电压调节器关闭，以便整个 1.2V 域关闭。PLL、HSI RC 和 HSE 晶体振荡器也已关闭。进入待机模式后，除了备份域中的寄存器和选中的备份 SRAM 外，SRAM 和寄存器内容都会丢失。

当发生外部重置（NRST 引脚）、IWDG 重置、WKUP 引脚上的上升边缘或 RTC 警报/唤醒/篡改/时间戳事件时，设备退出待机模式。

注意：当设备进入停止或待机模式时，RTC、IWDG 和相应的时钟源不会停止。

3.19 V_{DD} 操作

V_{DD} 引脚允许为设备 V_{DD} 供电。V_{DD} 来自外部电池或外部超级电容器的域。

V_{DD} 当 V_{DD} 时激活操作。V_{DD} 不在场。

V_{DD} pin 提供 RTC、备份寄存器和备份 SRAM。

注意：当微控制器从 V_{DD} 提供时，外部中断和 RTC 警报/事件不会从 V_{DD} 退出操作。

使用 WLCSP64+2 封装时，如果 IRROFF 引脚连接到 V_{DD}，那个 V_{DD} 功能不再可用，并且 V_{DD} 引脚必须连接到 V_{DD}。

3.20 计时器和看门狗

STM32F20x 设备包括两个高级控制计时器、八个通用计时器、两个基本计时器和两个看门狗计时器。

所有计时器计数器都可以在调试模式下冻结。

表 5 比较高级控制、通用和基本计时器的特点。

表 5。计时器功能比较



计时器类型	计时器	反决议	柜台类型	预标量因子	DMA 请求生成	捕获/比较 频道	补充输出	马克斯 用户界面 钟	马克斯 计时器 时钟
高级控制	TIM1, TIM8	16 位	起来, 下来, 向上/向下	1 到 65536 之间的任何 整数	是	4	是	60 兆 赫	120 MHz

表 5。定时器功能比较 (续)

计时器类型	计时器	反决议	柜台类型	预标量因子	DMA 请求生成	捕获/比较 频道	补充输出	马克斯 用户界面 钟	马克斯 计时器 时钟
一般用途	TIM2, TIM5	32 位	起来, 下来, 向上/向下	1 到 65536 之间的任何 整数	是	4	不是	30 兆 赫	60 MHz
	TIM3, TIM4	16 位	起来, 下来, 向上/向下	1 到 65536 之间的任何 整数	是	4	不是	30 兆 赫	60 MHz
日常必须品	TIM6, TIM7	16 位	在上面	1 到 65536 之间的任何 整数	是	0	不是	30 兆 赫	60 MHz
一般用途	TIM9	16 位	在上面	1 到 65536 之间的任何 整数	不是	2	不是	60 兆 赫	120 MHz
	TIM10, TIM11	16 位	在上面	1 到 65536 之间的任何 整数	不是	1	不是	60 兆 赫	120 MHz
	TIM12	16 位	在上面	1 到 65536 之间的任何 整数	不是	2	不是	30 兆 赫	60 MHz
	TIM13, TIM14	16 位	在上面	1 到 65536 之间的任何 整数	不是	1	不是	30 兆 赫	60 MHz

3.20.1 高级控制计时器 (TIM1、TIM8)

高级控制计时器 (TIM1, TIM8) 可以看作是在 6 个通道上多路复用的三相 PWM 发生器。它们具有互补的 PWM 输出和可编程插入的死时间。它们也可以被视为完整的通用计时器。他们的 4 个独立频道可用于：

- 输入捕获
- 输出比较
- PWM 生成 (边缘或中心对齐模式) □ 一脉冲模式输出

如果配置为标准 16 位计时器，它们具有与通用 TIMx 计时器相同的功能。如果配置为 16 位 PWM 发电机，它们具有完全调制能力（0100%）。

TIM1 和 TIM8 计数器可以在调试模式下冻结。许多高级控制计时器功能与具有相同架构的标准 TIMx 计时器共享。因此，高级控制计时器可以通过计时器链接功能与 TIMx 计时器一起工作，以进行同步或事件链化。

3.20.2 通用计时器 (TIMx)

STM32F20x 设备中嵌入了十个可同步的通用计时器（见 表 5 对于差异）。

TIM2, TIM3, TIM4, TIM5

STM32F20x 包括 4 个功能齐全的通用计时器。TIM2 和 TIM5 是 32 位计时器，TIM3 和 TIM4 是 16 位计时器。TIM2 和 TIM5 计时器基于 32 位自动重载上/下计数器和 16 位预缩放器。TIM3 和 TIM4 计时器基于 16 位自动重新加载上/下计数器和 16 位预刻度器。它们都具有 4 个独立的通道，用于输入捕获/输出比较、PWM 或单脉冲模式输出。这在最大的封装上提供了多达 16 个输入捕获/输出比较/PWM。

TIM2、TIM3、TIM4、TIM5 通用计时器可以一起工作，也可以通过计时器链接功能与其他通用计时器和高级控制计时器 TIM1 和 TIM8 一起工作，以进行同步或事件链。

TIM2、TIM3、TIM4、TIM5 的计数器可以在调试模式下冻结。任何这些通用计时器都可用于生成 PWM 输出。

TIM2、TIM3、TIM4、TIM5 都有独立的 DMA 请求生成。它们能够处理正交（增量）编码器信号和一到四个霍尔效应传感器的数字输出。

TIM10、TIM11 和 TIM9

这些计时器基于 16 位自动重新加载计数器和 16 位预缩放器。TIM10 和 TIM11 具有一个独立的通道，而 TIM9 有两个独立的通道用于输入捕获/输出比较，PWM 或单脉冲模式输出。它们可以与 TIM2、TIM3、TIM4、TIM5 全功能通用计时器同步。它们也可以用作简单的时间基础。

TIM12、TIM13 和 TIM14

这些计时器基于 16 位自动重新加载计数器和 16 位预缩放器。TIM13 和 TIM14 具有一个独立的通道，而 TIM12 有两个独立的通道用于输入捕获/输出比较，PWM 或单脉冲模式输出。它们可以与 TIM2、TIM3、TIM4、TIM5 全功能通用计时器同步。

它们也可以用作简单的时间基础。

3.20.3 基本计时器 TIM6 和 TIM7

这些计时器主要用于 DAC 触发器和波形生成。它们也可以用作通用的 16 位时间基。

3.20.4 独立监督机构

独立看门狗基于 12 位下计数器和 8 位预标器。它从独立的 32 kHz 内部 RC 计时，由于它独立于主时钟运行，因此可以在停止和待机模式下运行。它既可以用作在出现问题时重置设备



的看门狗，也可以用作应用程序超时管理的自由运行计时器。它可以通过选项字节进行硬件或软件配置。□ 计数器可以在调试模式下冻结。

3.20.5 窗口看门狗

窗口看门狗基于一个 7 位下柜台，可以设置为自由运行。当出现问题时，它可以用作监视狗来重置设备。它是从主时钟打卡的。它具有预警中断功能，计数器可以在调试模式下冻结。

3.20.6 SysTick 计时器

这个计时器专用于实时操作系统，但也可以用作标准下柜台。它的特点是：□ 一个 24 位的下柜台

- 自动加载能力
- 当计数器达到 0 时，可屏蔽系统中断生成
- 可编程时钟源

3.21 集成电路接口 (I²C)

最多三个 I²C 总线接口可以在多主和从模式中运行。它们可以支持标准模式和快速模式。它们支持 7/10 位寻址模式和

7 位双寻址模式（作为从属）。嵌入了硬件 CRC 生成/验证。

它们可以由 DMA 提供服务，并且它们支持 SMBus 2.0/PMBus。

3.22 通用同步/异步接收器发射器 □ (UARTs/USARTs)

STM32F20x 设备嵌入了四个通用同步/异步接收器发射器 (USART1、USART2、USART3 和 USART6) 和两个通用异步接收器发射器 (UART4 和 UART5)。

这六个接口提供异步通信、IrDA SIR ENDEC 支持、多处理器通信模式、单线半双工通信模式，并具有 LIN 主/从功能。USART1 和 USART6 接口能够以高达 7.5 Mbit/s 的速度进行通信。其他可用的接口通信率高达 3.75 Mbit/s。

USART1、USART2、USART3 和 USART6 还提供 CTS 和 RTS 信号的硬件管理、智能卡模式（符合 ISO 7816）和类似 SPI 的通信能力。所有接口都可以由 DMA 控制器提供服务。

表 6。USART 功能比较

名字	标准功能	调制解调器 (RTS/CTS)	林	SPI 大师	irDA	智能卡 (ISO 7816)	Mbit/s 的最大波特率		APB 映射
							16 个过度采样	过采样 8	
USART1	英语字母中的第二四个字母	英语字母中的第二四个字母	英语字母	英语字母中的第二十	英语字母	英语字母中的第二四个字母	1.87	7.5	APB2 (最大 60 兆赫)

			中的第二 四个字母	中的第二 四个字母				
USART2	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母中 的第二十四 个字母		
USART3	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母 中的第二 四个字母	英语字母中 的第二十四 个字母	3.75	APB1 (最大 30 兆赫)
UART4	英语字母 中的第二 四个字母	-	英语字母 中的第二 四个字母	-	英语字母 中的第二 四个字母	-		



UART5	英语字母中的第二 十四个字母	-	英 语 字 母 中 的 第 二 十 四 个 字 母	-	英 语 字 母 中 的 第 二 十 四 个 字 母	-			
USART6	英语字母中的第二 十四个字母	英语字母中的第二 十四个字母	英 语 字 母 中 的 第 二 十 四 个 字 母	英 语 字 母 中 的 第 二 十 四 个 字 母	英 语 字 母 中 的 第 二 十 四 个 字 母	英 语 字 母 中 的 第 二 十 四 个 字 母	3.75	7.5	APB2 (最大 60 兆赫)

3.23 串行外围接口 (SPI)

STM32F20x 设备在全双工和单纯形通信模式下，在从模式和主模式下具有多达三个 SPI。SPI1 可以以高达 30 Mbits/s 的传输，而 SPI2 和 SPI3 可以以高达 15 Mbit/s 的传输。3 位预缩放器提供 8 个主模式频率，帧可配置为 8 位或 16 位。硬件 CRC 生成/验证支持基本的 SD 卡/MMC 模式。所有 SPI 都可以由 DMA 控制器提供服务。

SPI 接口可以配置为在 TI 模式下运行，用于主模式和从模式的通信。

3.24 集成声音 (I²S)

两个标准 I²S 接口（与 SPI2 和 SPI3 复用）可用。它们可以在主或从模式、半双工通信模式下运行，并且可以配置为以 16/32 位分辨率作为输入或输出通道进行操作。支持从 8 kHz 到 192 kHz 的音频采样频率。当其中一个或两个 I²S 接口在主模式下配置，主时钟可以以 256 倍的采样频率输出到外部 DAC/CODEC。

所有 I2Sx 接口都可以由 DMA 控制器提供。

3.25 SDIO

提供 SD/SDIO/MMC 主机接口，支持三种不同数据总线模式的 MultiMediaCard 系统规范版本 4.2：1 位（默认）、4 位和 8 位。该接口允许在 8 位模式下以高达 48 MHz 的数据传输，并符合 SD 存储卡规范版本 2.0。

SDIO 卡规范版本 2.0 还支持两种不同的数据总线模式：1 位（默认）和 4 位。

当前版本在任何时候只支持一张 SD/SDIO/MMC4.2 卡和一堆 MMC4.1 或以前的版本。

除了 SD/SDIO/MMC 外，该接口还完全符合 CE-ATA 数字协议 Rev1.1。

3.26 支持专用 DMA 和 IEEE 1588 的以太网 MAC 接口

外围设备仅适用于 STM32F207xx 设备。

STM32F207xx 设备提供符合 IEEE-802.3-2002 标准的媒体访问控制器

（MAC）用于通过行业标准介质独立接口（MII）或简化介质独立接口（RMII）进行以太网局域网通信。STM32F207xx 需要外部物理接口设备（PHY）连接到物理局域网总线（双峰对、光纤等）。PHY 使用 17 个 MII 信号或 9 个 RMII 信号连接到 STM32F207xx MII 端口，并且可以使用 STM32F207xx 的 25 MHz（MII）或 50 MHz（RMII）输出进行时钟。

STM32F207xx 包括以下功能：

- 支持 10 和 100 Mbit/s 速率
- 专用 DMA 控制器允许在专用 SRAM 和描述符之间进行高速传输（详情请参阅 STM32F20x 和 STM32F21x 参考手册）
- 标记的 MAC 帧支持（VLAN 支持）
- 半双工（CSMA/CD）和全双工操作
- MAC 控制子层（控制帧）支持
- 32 位 CRC 生成和删除
- 物理和多播地址（多播和组地址）的几种地址过滤模式
- 每个传输或接收帧的 32 位状态代码
- 内部 FIFO 缓冲传输和接收帧。发送 FIFO 和接收 FIFO 都是 2K 字节（总共 4K 字节）
- 根据 IEEE 1588 2008 支持硬件 PTP（精确时间协议）（PTP V2）将时间戳比较器连接到 TIM2 输入
- 当系统时间大于目标时间时，触发中断

3.27 控制器区域网络（CAN）

这两个 CAN 符合 2.0A 和 B（主动）规范，比特率高达 1 Mbit/s。它们可以接收和传输具有 11 位标识符的标准帧以及具有 29 位标识符的扩展帧。每个 CAN 有三个传输邮箱，两个接收 FIFOs，有 3 个阶段和 28 个共享的可扩展过滤器库（即使使用一个 CAN，它们都可以使用）。为每个 CAN 分配的 256 字节的 SRAM 不会与任何其他外围设备共享。



3.28 通用串行总线全速 (OTG_FS)

这些设备嵌入了带有集成收发器的 USB OTG 全速设备/主机/OTG 外围设备。USB OTG FS 外围设备符合 USB 2.0 规范和 OTG 1.0 规范。它具有软件可配置的端点设置，并支持暂停/恢复。USB OTG 全速控制器需要一个专用的 48 MHz 时钟，该时钟由连接到 HSE 振荡器的 PLL 生成。主要特点是：

- 组合 Rx 和 Tx FIFO 尺寸为 320×35 位，带有动态 FIFO 尺寸
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 4 个双向端点
- 8 个具有定期 OUT 支持的主机频道
- 内部 HNP/SNP/IP (不需要任何外部电阻)
- 对于 OTG/主机模式，如果连接了总线供电的设备，则需要电源开关
- 内部 FS OTG PHY 支持

3.29 通用串行总线高速 (OTG_HS)

STM32F20x 设备嵌入了 USB OTG 高速 (高达 480 Mbit/s) 设备/主机/OTG 外围设备。USB OTG HS 支持全速和高速操作。它集成了用于全速运行的收发器 (12 Mbyte/s)，并具有用于高速运行的 UTMI 低引脚接口 (ULPI) (480 Mbit/s)。在 HS 模式下使用 USB OTG HS 时，需要连接到 ULPI 的外部 PHY 设备。

USB OTG HS 外围设备符合 USB 2.0 规范和 OTG

1.0 规格。它具有软件可配置的端点设置，并支持暂停/恢复。USB OTG 全速控制器需要由连接到 HSE 振荡器的 PLL 生成的专用 48 MHz 时钟。主要特点是：

- Rx 和 Tx FIFO 组合大小为 1024×35 位，带有动态 FIFO 大小
- 支持会话请求协议 (SRP) 和主机协商协议 (HNP)
- 6 个双向端点
- 12 个具有定期 OUT 支持的主机频道
- 内部 FS OTG PHY 支持
- 在 SDR 模式下支持 ULPI 的外部 HS 或 HS OTG 操作。OTG PHY 通过 12 个信号连接到微控制器 ULPI 端口。它可以使用 60 MHz 的输出进行时钟。
- 内置 USB DMA
- 内部 HNP/SNP/IP (不需要任何外部电阻)
- 对于 OTG/主机模式，当连接总线供电设备时，需要电源开关

3.30 音频 PLL (PLL12S)

这些设备具有额外的专用 PLL 用于音频 I²S 应用程序。它允许实现无错误 I²S 使用 USB 外围设备时，在不影响 CPU 性能的情况下，S 采样时钟精度。

PLL12S 配置可以修改以管理 I²S 在不禁用用于 CPU、USB 和以太网接口的主 PLL (PLL) 的情况下，S 采样速率变化。

音频 PLL 可以以非常低的误差进行编程，以获得从 8 kHz 到 192 kHz 的采样率。除了音频 PLL 外，还可以使用主时钟输入引脚将 I2S 流与外部 PLL（或编解码器输出）同步。

3.31 数码相机接口（DCMI）

STM32F205xx 设备中不提供相机接口。

STM32F207xx 产品嵌入了一个相机接口，可以通过 8 位至 14 位并行接口与相机模块和 CMOS 传感器连接，以接收视频数据。相机接口在 27 MHz 时可以维持高达 27 Mbyte/s，在 48 MHz 时可以维持 48 Mbyte/s。它具有以下特点：

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可以是 8 位、10 位、12 位或 14 位
- 支持 8 位渐进视频单色或原始拜耳格式，YCbCr 4:2:2 渐进视频，RGB 565 渐进视频或压缩数据（如 JPEG）
- 支持连续模式或快照（单帧）模式
- 自动裁剪图像的能力

3.32 真随机数生成器（RNG）

所有 STM32F2xxx 产品都嵌入了一个真正的 RNG，该 RNG 提供由集成模拟电路产生的 32 位随机数。

3.33 GPIO（通用输入/输出）

每个 GPIO 引脚都可以由软件配置为输出（推拉或开漏，带或不带上拉或下拉），作为输入（浮动，带或不带上拉或下拉）或作为外围替代功能。大多数 GPIO 引脚与数字或模拟替代功能共享。所有 GPIO 都具有高电流能力，并具有速度选择，以更好地管理内部噪声、功耗和电磁发射。

如果需要，可以通过遵循特定顺序来锁定 I/O 备用函数配置，以避免对 I/O 寄存器进行虚假写入。

为了提供快速的 I/O 处理，GPIO 在快速的 AHB1 总线上，时钟高达 120 MHz，导致最大 I/O 切换速度为 60 MHz。

3.34 ADC（模数转换器）

嵌入了三个 12 位模拟数字转换器，每个 ADC 共享多达 16 个外部通道，在单次或扫描模式下执行转换。在扫描模式下，对一组选定的模拟输入进行自动转换。

嵌入 ADC 接口中的其他逻辑函数允许：

- 同时采样和保持



- 交错的样品和持有

ADC 可以由 DMA 控制器提供服务。模拟看门狗功能允许非常精确地监控一个、部分或所有选定通道的转换电压。当转换后的电压超出编程阈值时，会产生中断。

计时器 TIM1、TIM2、TIM3、TIM4、TIM5 和 TIM8 生成的事件可以分别在内部连接到 ADC 启动触发器和注入触发器，以允许应用程序同步 A/D 转换和计时器。

3.35 DAC（数字模拟转换器）

两个 12 位缓冲 DAC 通道可用于将两个数字信号转换为两个模拟电压信号输出。设计结构由集成电阻串和反转配置的放大器组成。

这个双数字接口支持以下功能：

- 两个 DAC 转换器：每个输出通道一个
- 8 位或 12 位单调输出
- 12 位模式下的左或右数据对齐
- 同步更新功能
- 噪声波生成
- 三角波生成
- 双 DAC 通道独立或同时转换
- 每个通道的 DMA 能力
- 转换的外部触发器
- 输入电压参考 V_{REF+}

设备中使用了八个 DAC 触发输入。DAC 通道通过计时器更新输出触发，这些输出也连接到不同的 DMA 流。

3.36 温度传感器

温度传感器必须产生随温度线性变化的电压。转换范围在 1.8 到 3.6V 之间。温度传感器内部连接到 ADC1_IN16 输入通道，该通道用于将传感器输出电压转换为数字值。

由于工艺变化，温度传感器的偏移量因芯片而异，内部温度传感器主要适用于检测温度变化而不是绝对温度的应用。如果需要准确的温度读数，则必须使用外部温度传感器部件。

3.37 串行线 JTAG 调试端口（SWJ-DP）

Arm SWJ-DP 接口是嵌入式的，是一个结合的 JTAG 和串行线调试端口，可以将串行线调试或 JTAG 探头连接到目标。JTAG TMS 和 TCK 引脚分别与 SWDIO 和 SWCLK 共享，TMS 引脚上的特定序列用于在 JTAG-DP 和 SW-DP 之间切换。

3.38 嵌入式跟踪宏细胞™

Arm Embedded Trace Macrocell 通过将压缩数据从 STM32F20x 通过少量 ETM 引脚流式传输到外部硬件跟踪端口分析仪（TPA）设备，从而提高了 CPU 内核内部指令和数据流的可

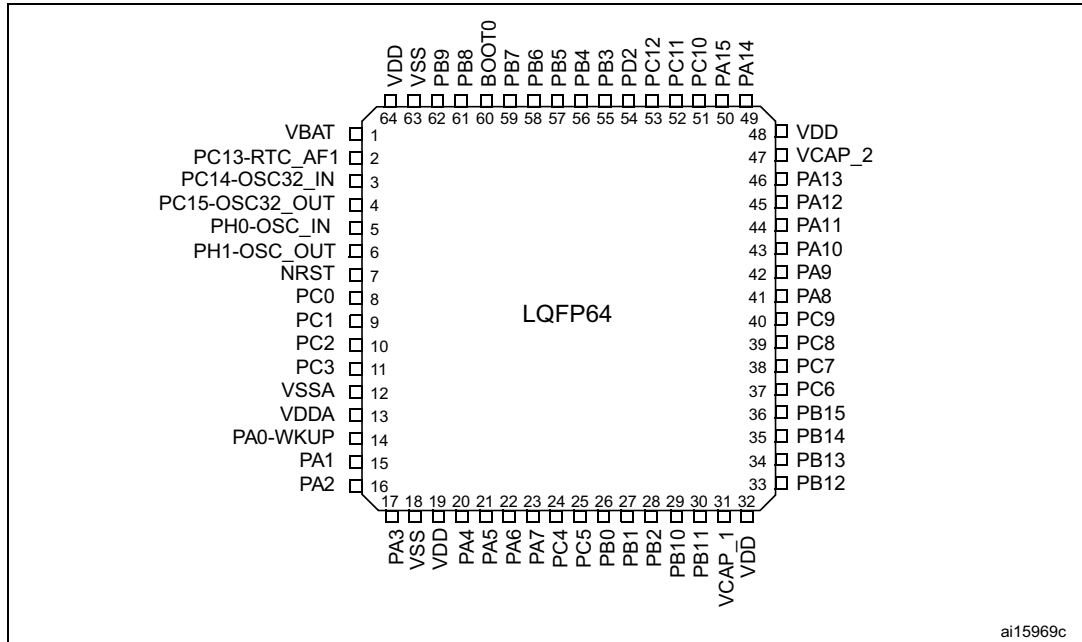
见性。TPA 使用 USB、以太网或任何其他高速信道连接到主机计算机。可以记录实时指令和数据流活动，然后进行格式化，以显示在运行调试器 `softw` 的主机上。TPA 硬件可从常见的开发工具供应商处获得。

Embedded Trace Macrocell 使用第三方调试器软件工具运行。

深圳南天星

4 Pinouts and pin description

Figure 10. STM32F20x LQFP64 pinout



ai15969c

1. The above figure shows the package top view.

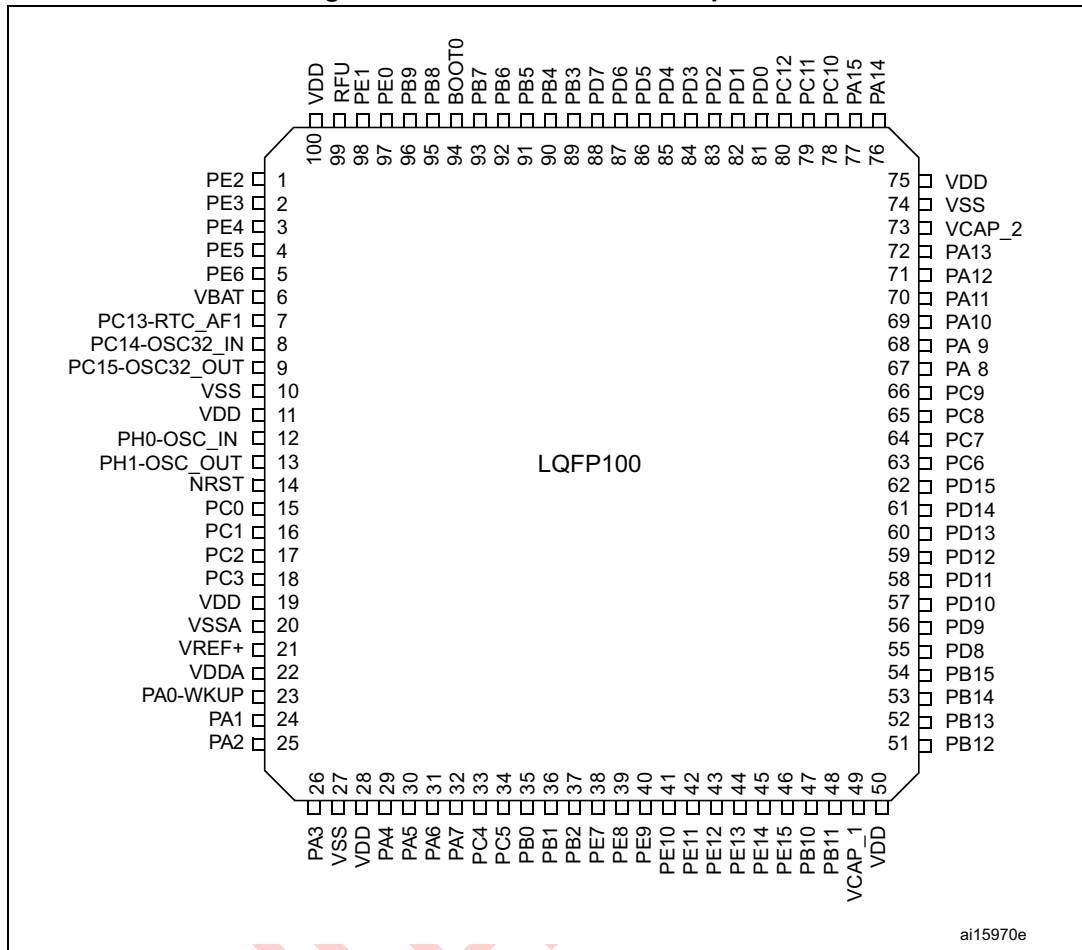
Figure 11. STM32F20x WLCSP64+2 ballout

	1	2	3	4	5	6	7	8	9
A	PA14	PA15	PC12	PB3	PB5	PB7	PB9	VDD	V _{BAT}
B	VSS	PA13	PC10	PB4	PB6	BOOT0	PB8	PC13	PC14
C	PA12	VCAP_2	PC11				PD2	IRROFF	PC15
D	PC9	PA11	PA10				PC2	VSS	VDD
E	VDD	PA8	PA9				PA0	NRST	PH0-OSC_IN
F	VSS	PC7	PC8				VREF+	PC1	PH1-OSC_OUT
G	PB15	PC6	PC5				PA3	PC3	PC0
H	PB14	PB13	PB10	PC4	PA6	PA5	REGOFF	PA1	VSS_5
J	PB12	PB11	VCAP_1	PB2	PB1	PB0	PA7	PA4	PA2

ai18470c

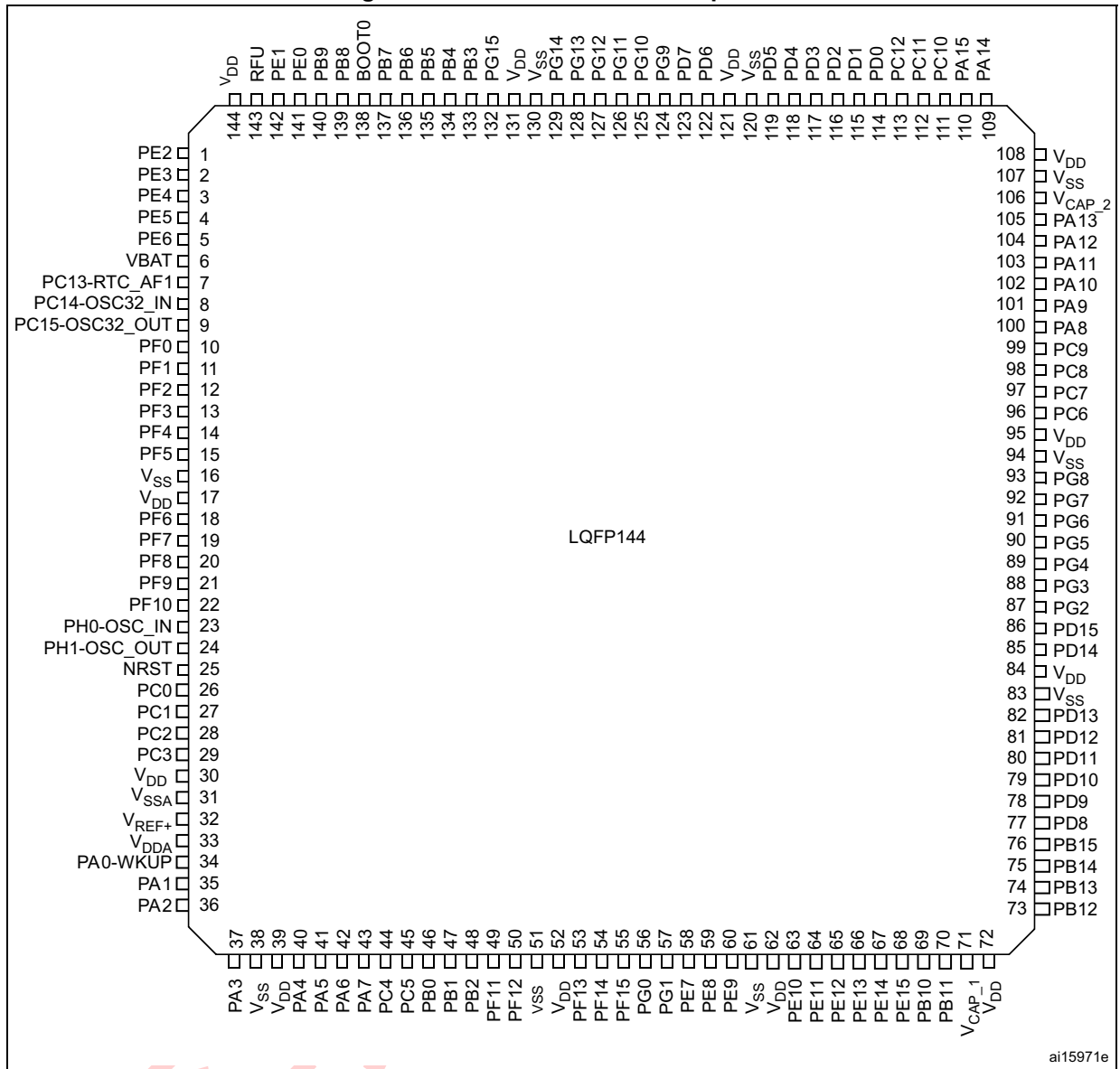
1. The above figure shows the package top view.

Figure 12. STM32F20x LQFP100 pinout



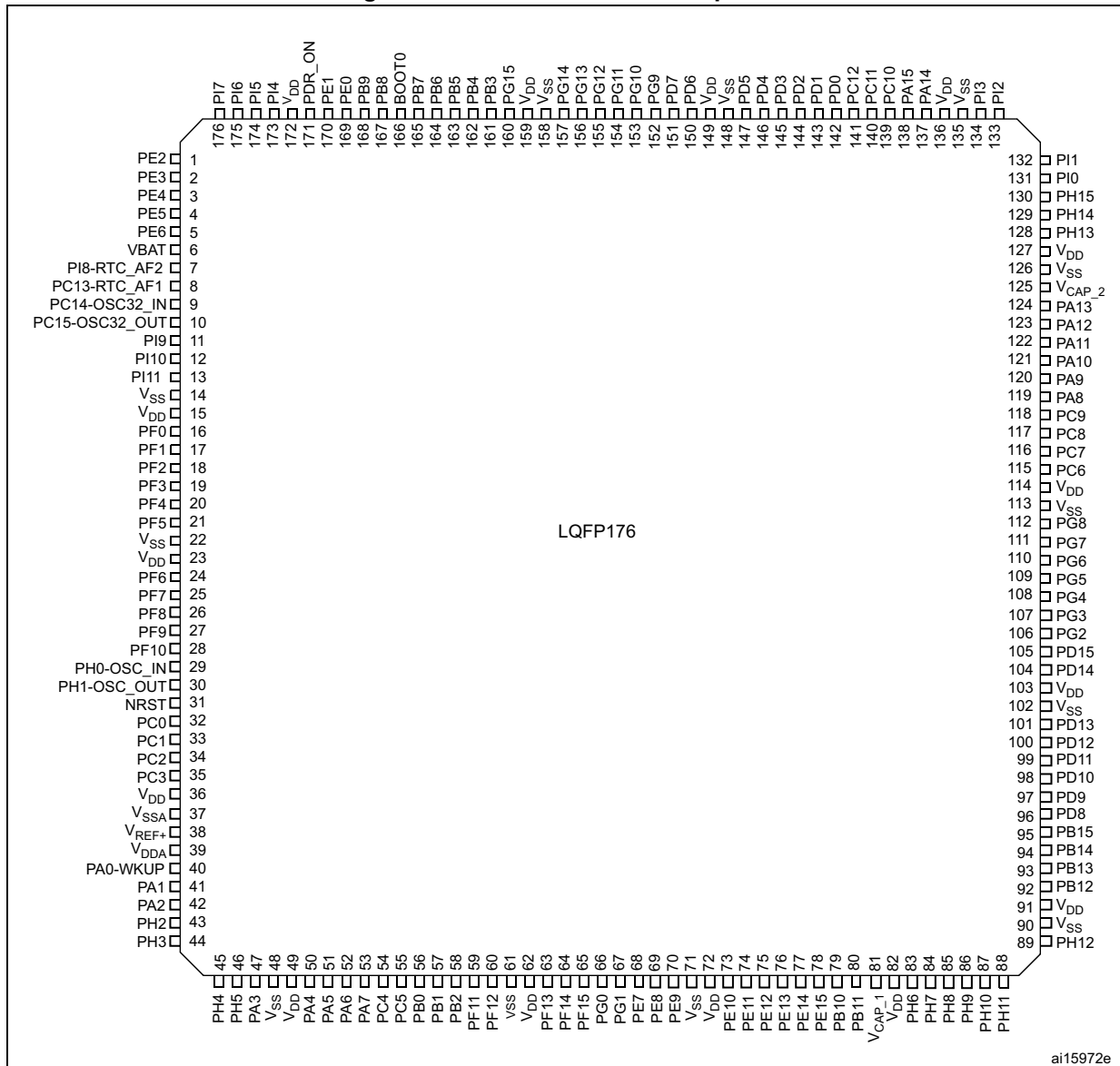
1. RFU means "reserved for future use". This pin can be tied to V_{DD}, V_{SS} or left unconnected.
2. The above figure shows the package top view.

Figure 13. STM32F20x LQFP144 pinout



1. RFU means “reserved for future use”. This pin can be tied to V_{DD} , V_{SS} or left unconnected.
2. The above figure shows the package top view.

Figure 14. STM32F20x LQFP176 pinout



1. RFU means “reserved for future use”. This pin can be tied to V_{DD} , V_{SS} or left unconnected.
2. The above figure shows the package top view.