

Kinetis KE17Z/13Z/12Z 最多 256 KB 闪存

基于高达 72 MHz ARM® Cortex®-M0+的微控制器

MKE1xZ256VLL7

MKE1xZ256VLH7

MKE1xZ256VLF7

MKE1xZ128VLL7

KE1xZ256 MCU 是 KE1xZ 系列的主要部件 **MKE1xZ128VLH7** 基于 ARM® 皮层®-M0+ 核心。提供高达 256 KB **MKE1xZ128VLF7** 闪存，高达 48 KB 的 RAM 和全套模拟/数字

功能，KE1xZ 将 Kinetis E 系列扩展到更高的性能和更广泛的可扩展性。坚固和增强的 TSI 为客户的 HMI 系统提供了高水平的稳定性和准确性。1 Msps ADC 和 FlexTimer 帮助构建 BLDC 电机的完美解决方案

控制系统。

调试功能

- 串行线调试 (SWD) 调试接口

混合信号模拟

- 1×12 位模数转换器 (ADC)，每个模块最多 16 通道模拟输入，最多 1 个 Msps
- 1×高速模拟比较器 (CMP) 内部 8 位数字到模拟转换器 (DAC)

时机和控制

- 用于 PWM 一代的 3×柔性定时器 (FTM)，提供高达 8 个标准通道
- 1×16 位低功耗计时器 (LPTMR)，具有灵活的唤醒控制
- 1×32 位低功耗定期中断定时器 (LPIT)，带 4 个通道

可靠性、安全性和安全性

- 循环冗余检查 (CRC) 生成器模块
- 128 位唯一标识 (ID) 号码
- 具有独立时钟源的内部监督机构 (WDOG)
- 外部看门狗监视器 (EWM) 模块
- ADC 自校准功能
- 片上时钟损耗监控

人机界面 (HMI)

核心处理器和系统

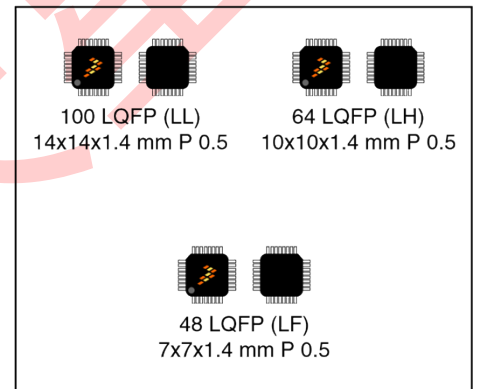
- 手臂®皮层®-M0+内核，支持高达 72 MHz 的频率
- 基于 ARMv6 架构和 Thumb 的 ARM 核心®-2 ISA
- 可配置的嵌套矢量中断控制器 (NVIC)
- 8 通道 DMA 控制器使用 DMAMUX 扩展到 63 个通道

内存和内存接口

- 高达 256 KB 的程序闪存
- 高达 48 KB 的 SRAM
- 128 字节闪存缓存

电源管理

- 低功耗 ARM Cortex-M0+核心，具有出色的能源效率
- 具有多种电源模式的电源管理控制器 (PMC)：运行、等待、停止、VLPR、VLLPW 和 VLPS
- 支持未使用模块的时钟门控，特定外围设备保持在低功耗模式下工作?POR，LVD/LVR



- 支持多达 32 个中断请求 (IRQ) 源
- 调试观察点和跟踪 (DWT)
- 微量缓冲器 (MTB)

- 多达 89 个具有中断功能的 GPIO 引脚
- 2 x 25ch 触摸感应输入 (TSI) 模块, 每个 TSI 有 12 个互通道 (最多 6x6 通道矩阵) 和 3 个屏蔽通道

时钟接口

- OSC : 高范围 4-40 MHz (低功率或高增益模式) 和低范围

本文档包含有关预生产产品的信息。此处的规格和预生产信息如有更改, 恕不另行通知。

- 32-40 kHz (仅高增益模式)
- 48 MHz 高精度 (高达±1%) 快速内部参考时钟 (FIRC) 用于正常运行
- 8 MHz / 2 MHz 高精度 (高达±3%) 慢速内部参考时钟 (SIRC), 用于低速运行
- 128 kHz 低功率振荡器 (LPO)
- 低功耗 FLL (LPFLL)
- 高达 60 MHz 的直流外方波输入时钟
- 系统时钟发生器 (SCG)

连接和通信接口

- 具有 DMA 支持和低功耗可用性的 3x 低功耗通用异步接收器/发射器 (LPUART) 模块



- 1x 具有 DMA 支持和低功耗可用性的低功耗串行外围接口 (LPSPI) 模块
- 1x 具有 DMA 支持和低功耗的低功耗互集成电路 (LPI2C) 模块
- 可利用率
- 用于灵活和高性能 erial 接口的 FlexIO 模块

操作特点

- 电压范围 : 2.7 至 5.5V
- 环境温度范围 : -40 至 105°C

相关资源

类型	描述	资源
信息一览表	概况介绍概述了产品的主要特点及其用途。	KE1xZ 家庭概况介绍 KE1xZMUCUFAMFS ¹
参考手册	参考手册包含对设备结构和功能 (操作) 的全面描述。	KE1xZP100M72SF1RM ¹
数据表	数据表包括电气特性和信号连接。	本文件 : KE1xZP100M72SF1
芯片勘误	芯片掩码集 Errata 为特定设备掩码集提供附加或纠正信息。	Kinetis_E_P35D ¹
包装图纸	包装尺寸在包装图纸中提供。	100-LQFP : 98ASS23308W 64-LQFP : 98ASS23234W 48-LQFP : 98ASH00962A

1. 要查找相关资源, 请转到 [Http://www.nxp.com](http://www.nxp.com) 并使用此术语进行搜索。

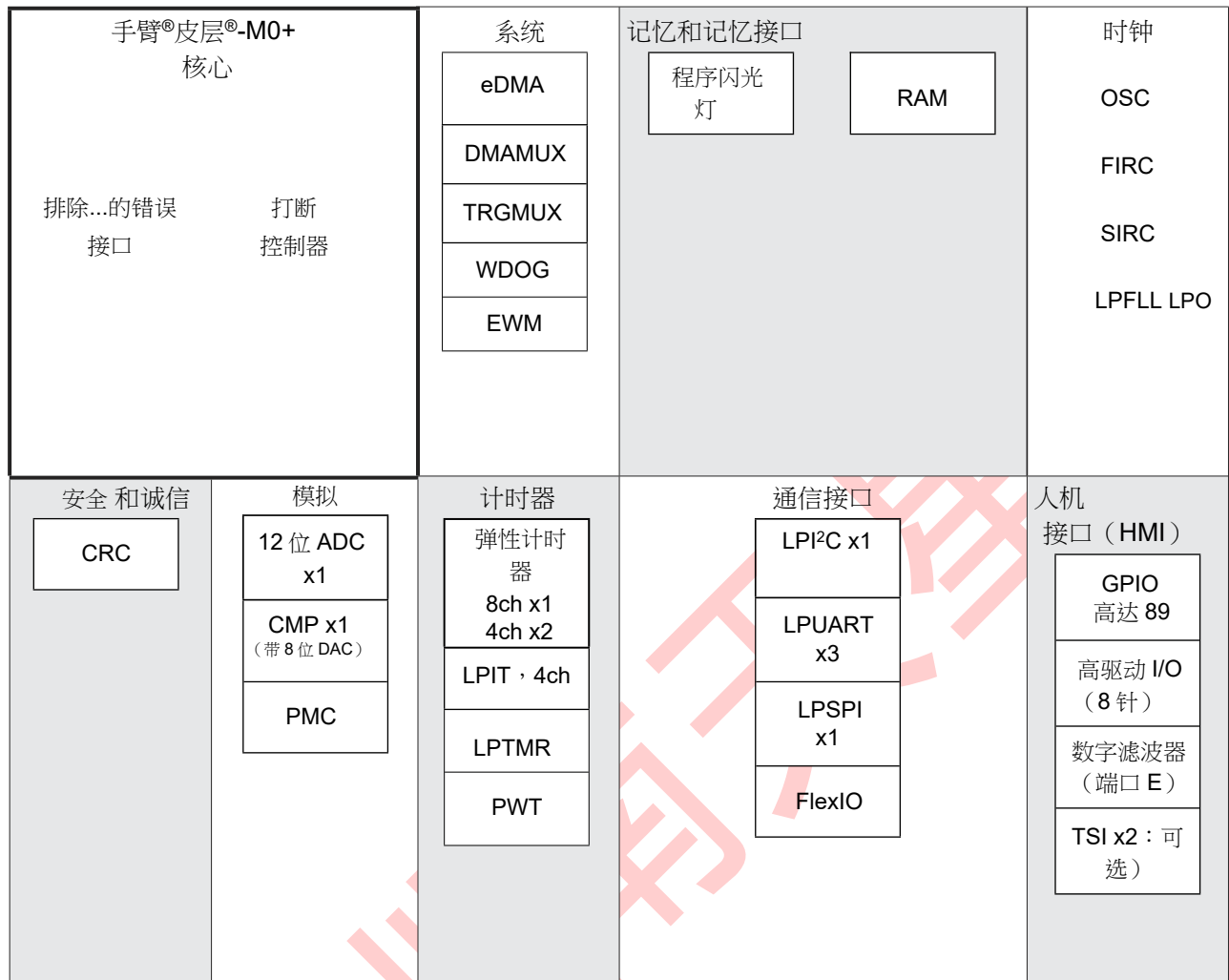


图 1。功能框图
目录中的

1 订购信息.....	5
2 概述.....	5
2.1 系统功能.....	6
2.1.1 ARM Cortex-M0+ 核心.....	6

2.1.2 NVIC.....	7		
2.1.3 AWIC.....	7		
2.1.4 内存.....	8		
2.1.5 重置和启动.....	8		
2.1.6 时钟选项.....	9		
2.1.7 安全性.....	10		
2.1.8 电源管理.....	10		
2.1.9 调试控制器.....	12		要求..... 39
2.2 外围功能.....	12	5.1.5 评级和运营指南	要求..... 39
2.2.1 eDMA 和 DMAMUX.....	12		
2.2.2 FTM.....	13	5.2 评级.....	40
2.2.3 ADC.....	13	5.2.1 热处理额定值.....	40
2.2.4 CMP.....	14	水分处理评级.....	40
2.2.5 LPIT.....	15	5.2.3 ESD 处理评级.....	40
2.2.6 LPTMR.....	15	5.2.4 电压和电流额定值.....	40
2.2.7 CRC.....		5.3 一般.....	
15		41	
2.2.8 LPUART.....	16	5.3.1 非开关电气规格.....	41
2.2.9 LPSPI.....	16	5.3.2 切换规格.....	51
2.2.10 LPI2C.....	17	5.3.3 热规格.....	54
2.2.11 FlexIO.....	18	5.4 外围设备操作要求和行为.....	57
2.2.12 端口控制和 GPIO.....	18	5.4.1 系统模块.....	57
3 内存地址图.....	20	5.4.2 时钟接口模块.....	57
4 Pinouts.....	20	5.4.3 内存和内存接口.....	62
4.1 KE1xZ 信号多路复用和引脚分配.....	20	5.4.4 安全和完整性模块.....	63
4.2 端口控制和中断摘要.....	23	5.4.5 模拟.....	64
4.3 模块信号描述表.....	24	5.4.6 通信接口.....	70
4.4 引脚图.....	28	5.4.7 人机界面 (HMI).....	74
4.5 包装尺寸.....	31	5.4.8 调试模块.....	74
5 电气特性.....	37	6 设计考虑.....	75
5.1 术语和指南.....	37	6.1 硬件设计注意事项.....	76
5.1.1 定义.....	37	6.1.1 印刷电路板建议.....	76
5.1.2 例子.....	38	6.1.2 供电系统.....	76
5.1.3 典型价值条件.....	39	6.1.3 模拟设计.....	76
5.1.4 评级和运营之间的关系			

6.1.4	数字设计.....	77	7.3	字	
6.1.5	晶体振荡器.....	80	段.....		
7	零件识别.....	81	81	
7.1	描述.....	81	7.4	示	
7.2	格式.....	81	例.....		
			.82		
			8	修订历史.....	82

订购信息

1 订购信息

以下芯片可供订购。

表 1。订购信息

商品 部件号	记忆		包裹		IO 和 ADC 通道			HMI
	闪光灯 (KB)	SRAM (KB)	针数	包裹	GPIOs	GPIOs (INT/高 清) ¹	ADC 官方渠道	TSI
MKE17Z256VLL7	256	48	100	LQFP	89	89/8	16	50ch
MKE17Z256VLH7	256	48	64	LQFP	58	58/8	16	47ch
MKE17Z256VLF7	256	48	48	LQFP	42	42/6	11	31 小时
MKE17Z128VLL7	128	32	100	LQFP	89	89/8	16	50ch
MKE17Z128VLH7	128	32	64	LQFP	58	58/8	16	47ch
MKE17Z128VLF7	128	32	48	LQFP	42	42/6	11	31 小时
MKE13Z256VLL7	256	48	100	LQFP	89	89/8	16	25ch
MKE13Z256VLH7	256	48	64	LQFP	58	58/8	16	22ch
MKE13Z256VLF7	256	48	48	LQFP	42	42/6	11	15ch
MKE13Z128VLL7	128	32	100	LQFP	89	89/8	16	25ch
MKE13Z128VLH7	128	32	64	LQFP	58	58/8	16	22ch
MKE13Z128VLF7	128	32	48	LQFP	42	42/6	11	15ch
MKE12Z256VLL7	256	48	100	LQFP	89	89/8	16	-
MKE12Z256VLH7	256	48	64	LQFP	58	58/8	16	-
MKE12Z256VLF7	256	48	48	LQFP	42	42/6	11	-
MKE12Z128VLL7	128	32	100	LQFP	89	89/8	16	-
MKE12Z128VLH7	128	32	64	LQFP	58	58/8	16	-
MKE12Z128VLF7	128	32	48	LQFP	42	42/6	11	-

1. INT：中断引脚编号；HD：高驱动器引脚编号

2 概述

下图显示了该设备的系统图。



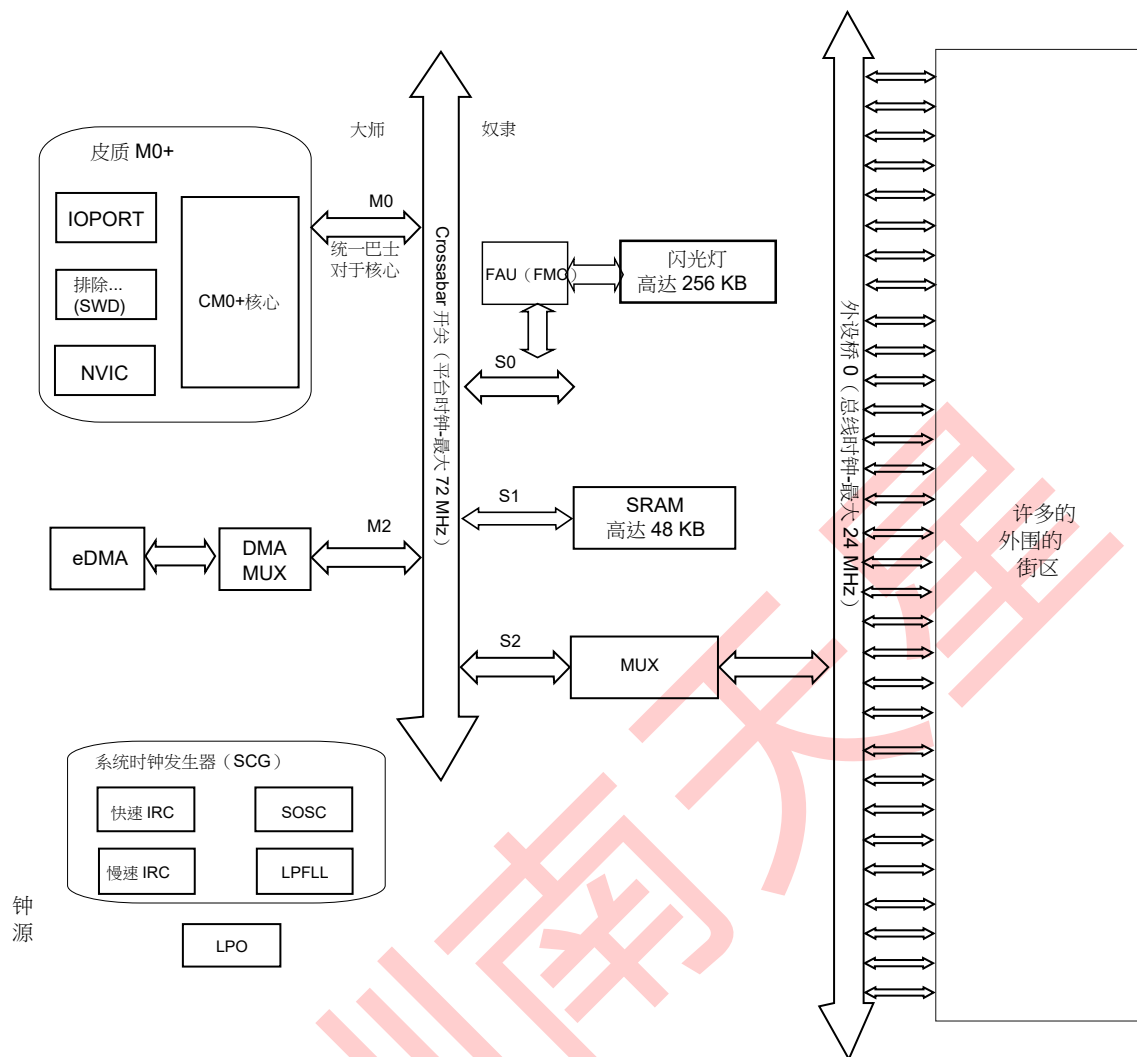


图 2。系统图

横杆开关使用横杆开关结构连接总线主站和从站。这种结构允许多达四个巴士主同时访问不同的巴士奴隶，同时在巴士主访问同一奴隶时提供他们之间的仲裁。

2.1 系统功能

以下各节描述了高级系统功能。

概述

2.1.1 ARM Cortex-M0+核心

增强的 ARM Cortex M0+是 Cortex-M 系列处理器的成员，瞄准微控制器核心，专注于非常成本敏感的低功耗应用。它有一个 32 位 AMBA AHB-Lite 接口，并包含一个 NVIC 组件。它还具有硬件调试功能，包括支持简单的程序跟踪功能。该处理器支持 ARMv6-M 指令集（拇指）架构，包括除三个 16 位拇指操作码（共 52 个）外的所有指令以及七个 32 位指令。它与其他 Cortex-M 配置文件处理器向上兼容。

2.1.2 NVIC

嵌套矢量中断控制器支持嵌套中断和中断的 4 个优先级。在 NVIC 中，IPR 寄存器中的每个源都包含 2 位。它的中断源数量也不同，并支持 32 个中断向量。

Cortex-M 系列使用多种方法将 Cortex-M0+的中断延迟提高到最多 15 个时钟周期。它还可用于从等待和 VLPW 模式中唤醒 MCU 核心。

2.1.3 AWIC

异步唤醒中断控制器（AWIC）用于检测停止模式下的异步唤醒事件，并发出时钟信号控制逻辑，以恢复系统时钟。时钟重新启动后，NVIC 观察挂起的中断，并执行正常的中断或事件处理。AWIC 可用于将 MCU 核心从部分停止、停止和 VLPS 模式唤醒。

此 SoC 的唤醒源如下：

表 2。AWIC 停止和 VLPS 唤醒源

唤醒源	描述
可用的系统重置	重置引脚，WDOG，时钟丢失（LOC）重置和锁定丢失（LOL）重置
引脚中断	端口控制模块-任何启用的引脚中断都能够唤醒系统
ADCx	ADCx 是可选功能，带有来自 SIRC 或 OSC 的时钟源
CMPx	在停止/VLPS 模式下具有功能，时钟源来自 SIRC 或 OSC
LPI2C	在停止/VLPS 模式下具有功能，时钟源来自 SIRC 或 OSC
LPUART	在停止/VLPS 模式下具有功能，时钟源来自 SIRC 或 OSC

表格在下一页继续...

表 2。AWIC 停止和 VLPS 唤醒源（续）

唤醒源	描述
LPSP1	在停止/VLPS 模式下具有功能，时钟源来自 SIRC 或 OSC
LPIT	在停止/VLPS 模式下具有功能，时钟源来自 SIRC 或 OSC
FlexIO	在停止/VLPS 模式下具有功能，时钟源来自 SIRC 或 OSC
LPTMR	在停止/VLPS 模式下功能
SCG	在停止模式下功能（仅限 SIRC）
TSI	触摸感唤醒
NMI	不可屏蔽的中断

2.1.4 记忆

该设备具有以下功能：

- 高达 256 KB 的嵌入式程序闪存。
- 在 0 等待状态下，CPU 时钟速度可访问（读/写）高达 48KB 的嵌入式 RAM。

2.1.5 重置和启动

下表列出了此设备支持的所有重置源。

笔记

在下表中，Y 表示特定模块，除脚注中提到的寄存器、位或条件外，由相应的重置源重置。N 表示特定模块没有被相应的重置源重置。

表 3。重置源

重置源	说明	模块									
		PMC	SIM 卡	SMC	RCM	重置引脚被否定	WDOG	SCG		LPTMR	其他
POR 重置	开机重置 (POR)	钇	钇	钇	钇	钇	钇	钇		钇	钇
系统重置	低压检测 (LVD)	钇 ¹	钇	钇	钇	钇	钇	钇		钇	钇
	外部引脚重置 (重置)	钇 ¹	钇 ²	钇 ³	钇 ⁴	钇	钇 ⁵	钇 ⁶		规定浓度	钇
	看门狗 (WDOG) 重置	钇 ¹	钇 ²	钇 ³	钇 ⁴	钇	钇 ⁵	钇 ⁶		规定浓度	钇

表格在下一页继续...

概述

表 3。重置源 (续)

重置源	说明	模块									
		PMC	SIM 卡	SMC	RCM	重置引脚 被否定	WDO G	SCG		LPTM R	其他
	多用途时钟发生器时钟丢失 (LOC) 重置	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶
	多用途时钟发生器失锁 (LOL) 重置	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶
	停止模式确认错误 (SACKERR)	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶
	软件重置 (SW)	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶
	锁定重置 (LOCKUP)	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶
	MDM DAP 系统重置	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶
调试重置	调试重置	钶 1	钶 2	钶 3	钶 4	钶	钶 5	钶 6		规定浓度	钶

1. 除了 PMC_LVDSC1[LVDV]和 PMC_LVDSC2[LWVW]
2. 除了 SIM_SOPT1
3. 除了 SMC_PMPROT、SMC_PMCTRL_RUM、SMC_PMCTRL_STOPM、SMC_STOPCTRL、SMC_PMSTAT
4. 除了 RCM_RPC、RCM_MR、RCM_FM、RCM_SRIE、RCM_SRS、RCM_SRSR
5. 除了 WDOG_CS[TST]
6. SCG_CSR 和 SCG_FIRCSTAT 除外

此设备支持从以下位置启动：

- 内部闪光灯

2.1.6 时钟选项

SCG 模块控制使用哪个时钟源来推导系统时钟。时钟生成逻辑将选定的时钟源划分为各种时钟域，包括系统总线主服务器、系统总线从服务器和闪存的时钟。时钟生成逻辑还实现了特定于模块的时钟门控，以允许对模块进行粒度关闭。

下图是时钟生成的高级方框图。有关时钟操作和配置的更多详细信息，请参阅参考手册中的时钟章节。

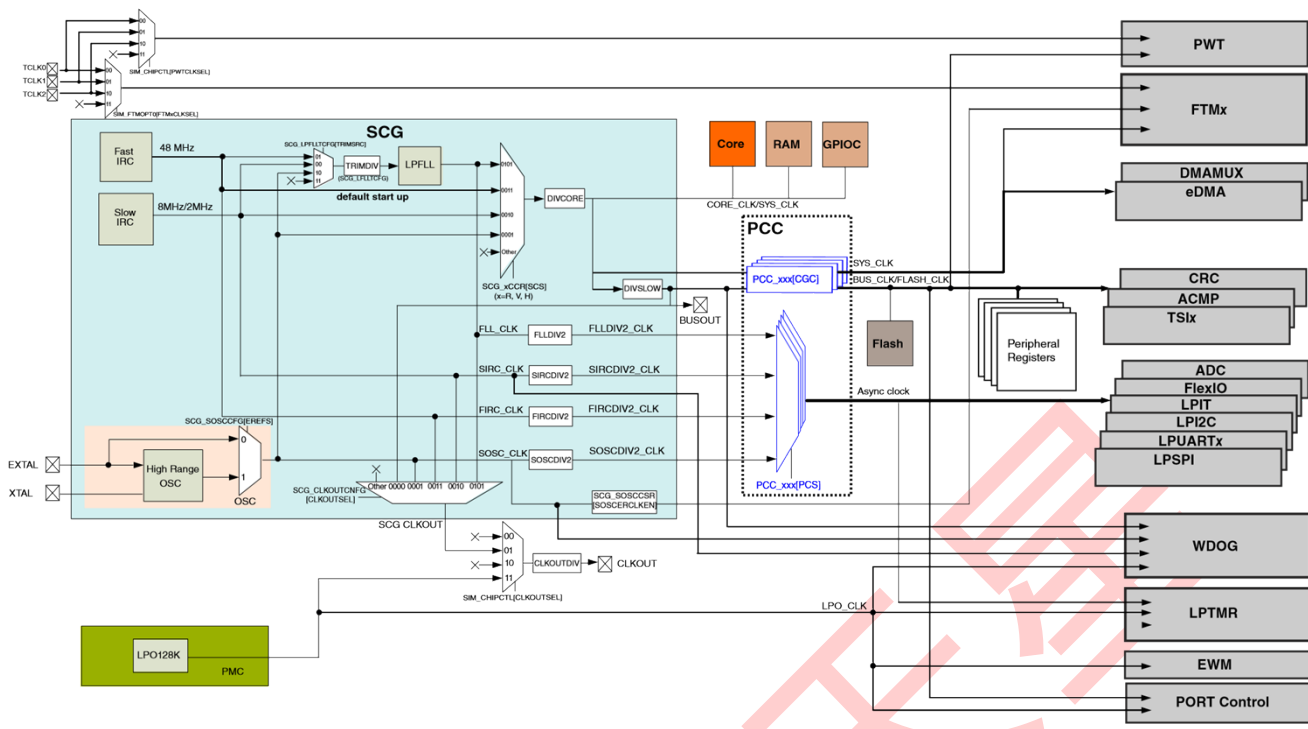


图 3。时钟方框图

2.1.7 安全

可以通过编程闪存配置字段（0x40e）启用安全状态。启用设备安全后，SWD 端口无法访问 MCU。

外部界面	安全	不安全
SWD 端口	无法通过 SWD 接口访问内存源	调试器可以写入 MDM-AP 控制寄存器的 Flash Mass Erase in Progress 字段，以触发批量擦除（擦除所有块）指挥权

2.1.8 电源管理

电源管理控制器（PMC）扩展了 ARM 的运行、睡眠和深度睡眠操作模式，以提供多种可配置模式。这些模式可用于优化各种应用的电流消耗。WFI 或

WFE 指令调用等待或停止模式，具体取决于当前配置。有关 ARM 操作模式的更多信息，请参阅 ARM® 皮层® 用户指南。

PMC 在 ARM 的运行操作模式下提供正常运行 (RUN) 和甚低功耗运行 (VLPR) 配置。在这些模式下，MCU 核心处于活动状态，可以访问所有外围设备。模式之间的差异是系统的最大时钟频率，因此是功耗。可以选择与应用程序的功率与性能要求相匹配的配置。

PMC 在 ARM 的睡眠操作模式下提供等待 (等待) 和甚低功耗等待 (VLPW) 配置。在这些模式下，即使 MCU 核心处于非活动状态，所有外围设备都可以启用并按编程运行。模式之间的差异是系统的最大时钟频率，因此是功耗。

PMC 在 ARM 的深度睡眠操作模式下提供停止 (停止)、超低功耗停止 (VLPS) 配置。在这些模式下，MCU 核心和大多数外围设备被禁用。根据应用程序的要求，可以保留或禁用模拟、逻辑和内存的不同部分，以节省电力。

嵌套矢量中断控制器 (NVIC)，异步唤醒中断控制器 (AWIC) 用于将 MCU 从低功耗状态唤醒。NVIC 用于从 WAIT 和 VLPW 模式唤醒 MCU 核心。AWIC 用于将 MCU 核心从 STOP 和 VLPS 模式唤醒。

有关操作模式、电源管理、NVIC、AWIC 的更多信息，请参阅参考手册。

下表提供了有关各种操作模式下外围设备状态的信息，以及可以从低功耗模式下唤醒 MCU 的模块。

表 5。不同操作模式下的外围设备状态

核心模式	设备模式	说明
运行模式	跑步	在运行模式下，所有设备模块都可以运行。
	非常低的功率运行	在 VLPR 模式下，除了禁用的低电压检测 (LVD) 监视器外，所有设备模块都以较低的频率运行。
	等待	在等待模式下，所有外围模块都可以运行。MCU 核心被置于睡眠模式。
休眠模式	等待	在等待模式下，所有外围模块都可以运行。MCU 核心被置于睡眠模式。

表格在下一页继续...

表 5。不同操作模式下的外围设备状态 (续)

核心模式	设备模式	说明
	非常低的电量等待	在 VLPW 模式下，除了禁用的低电压检测 (LVD) 监视器外，所有外围模块都以较低的频率运行。 MCU 核心被置于睡眠模式。

深度睡眠	阻止	在停止模式下，大多数外围时钟被禁用并置于静态状态。停止模式保留所有寄存器和 SRAM，同时保持低压检测保护。在停止模式下，ADC、CMP、LPTMR 和引脚中断可以运行。NVIC 被禁用，但 AWIC 可用于从中断中唤醒。
	非常低的功率停止	在 VLPS 模式下，SRAM 的内容被保留。CMP（低速）、ADC、OSC、LPTMR、LPIT、FlexIO、LPUART、LPI2C、LPSPI 和 DMA 可以运行，LVD 和 NVIC 被禁用，AWIC 用于从中断中唤醒。

2.1.9 调试控制器

该设备具有广泛的调试功能，包括运行控制和跟踪功能。标准 ARM 调试端口支持 SWD 接口。

2.2 外围功能

以下各节描述了芯片每个外围设备的特点。

2.2.1 eDMA 和 DMAMUX

eDMA 是一个高度可编程的数据传输引擎，经过优化，可以最大限度地减少来自主机处理器的任何必要干预。它旨在用于要传输的数据大小是静态已知且未在传输数据本身中定义的应用程序。该设备中的 DMA 控制器实现了 8 个通道，可以通过 DMA MUX 模块从多达 63 个 DMA 请求源路由。

eDMA 的主要特点如下：

- 通过双地址传输的所有数据移动：从源头读取，写入目标
- 8 通道实现，以最少的主机处理器干预执行复杂的数据传输
- 传输控制描述符（TCD）组织起来支持两个深度、嵌套的传输操作
- 通过三种方法之一激活渠道
- 固定优先级和循环通道仲裁
- 通过可编程中断请求报告的通道完成
- 分散/收集 DMA 处理的可编程支持
- 支持复杂的数据结构

2.2.2 FTM

该设备包含三个 FlexTimer 模块。

FlexTimer 模块 (FTM) 是一个二到八通道计时器，支持输入捕获、输出比较和生成 PWM 信号，以控制电动机和电源管理应用程序。FTM 时间参考是一个 16 位计数器，可以用作无签名或签名计数器。

本模块进行了几项关键改进：

- 注册柜台
- 死时间插入硬件
- 故障控制输入
- 增强的触发功能
- 初始化和极性控制

2.2.3 ADC

该设备包含一个 12 位 SAR ADC 模块。ADC 模块支持来自 FTM、LPTMR、PIT、外部触发引脚和 CMP 输出的硬件触发器。当使用内部时钟源或外部水晶时钟时，它支持在低功耗模式下唤醒 MCU。

ADC 模块具有以下特点：

- 分辨率高达 12 位的线性连续近似算法
- 多达单端外部模拟输入
- 支持 12 位、10 位和 8 位单端输出模式
- 单次或连续转换
- 可配置的采样时间和转换速度/功率
- 输入时钟可从最多四个来源中选择
- 在低功耗模式下运行，以降低噪音
- 可选择的硬件转换触发器
- 与中断自动比较小于、大于或等于、范围内或超出范围的可编程值?温度传感器
- 硬件平均功能
- 可选电压参考：来自外部或备用
- 自我校准模式

2.2.3.1 温度传感器

该设备包含一个内部连接到 AD26 输入通道的温度传感器，请参阅 [ADC 电气特性](#) 有关线性系数的详细信息。

传感器必须进行校准以获得良好的精度，以便提供良好的线性，另见 [AN3031](#) 有关温度传感器更详细的应用信息。

2.2.4 CMP

这个设备上有一个模拟比较器。

- 每个 CMP 都有自己独立的 8 位 DAC。
- 每个 CMP 最多支持来自外部引脚的 6 个模拟输入。
- 每个 CMP 都能够从带隙转换内部引用。
- 每个 CMP 都支持循环取样方案。总之，这允许 CMP 在 VLPS 和停止模式下独立运行，同时定期触发以采样多达 8 个输入。只有当输入更改状态时，才会生成完全唤醒。

CMP 具有以下特点：

- 输入范围可能从铁路到铁路
- 可编程的滞后控制
- 比较器输出的上升边缘、下降边缘或上升和下降边缘的可选择中断
- 比较器输出上的可选择反转
- 能够产生广泛的输出，如采样、窗口或数字过滤
- 外部滞后可以在输出滤波器用于内部功能的同时使用
- 两个软件可选的性能级别：以较高功率为代价的较短的传播延迟，以及较长传播延迟的低功率?DMA 传输支持
- 在此 MCU 上提供的所有电源模式下都具有功能
- 窗口和过滤器功能在 STOP 模式下不可用
- 集成的 8 位 DAC，具有可选的电源参考源，可以断电以节省电力

2.2.5 LPIT

低功耗定期中断定时器（LPIT）是一个多通道定时器模块，可生成独立的预触发和触发输出。这些计时器通道可以单独运行，也可以链接在一起。如果配置

为低功耗模式，LPIT 可以在低功耗模式下运行。预触发和触发输出可用于触发设备上的其他模块。

2.2.6 LPTMR

低功耗计时器（LPTMR）可以配置为具有可选预缩放器的时间计数器，或作为带有可选故障滤波器的脉冲计数器，在所有功率模式中运行，包括低泄漏模式。它还可以在大多数系统重置事件中继续运行，允许它作为一天中的时间计数器使用。

LPTMR 模块具有以下功能：

- 16 位时间计数器或脉冲计数器与比较
- 可选中断可以从任何低功耗模式生成异步唤醒
- 硬件触发输出
- 计数器支持自由运行模式或在比较时重置
- 预缩放器/故障滤波器的可配置时钟源
- 脉冲计数器的可配置输入源

2.2.7 CRC

该设备包含一个循环冗余检查（CRC）模块，可以生成 16/32 位 CRC 代码进行错误检测。

CRC 模块提供了实现 16 位或 32 位 CRC 标准所需的可编程多项式、WAS 和其他参数。

CRC 模块具有以下特点：

- 使用 16 位或 32 位可编程移位器的硬件 CRC 发电机电路
- 可编程初始种子值和多项式
- 按位或按字节转换输入数据或输出数据（CRC 结果）的选项。
- 最终 CRC 结果的反转选项
- 32 位 CPU 寄存器编程接口

2.2.8 LPUART

该产品包含三个低功耗 UART 模块，可以在停止和 VLPS 模式下工作。该模块还支持 4 倍至 32 倍的数据过采样率，以满足不同的应用。

LPUART 模块具有以下功能：

- 可编程波特率（13 位模分配器），可配置的过采样率从 4 倍到 32 倍
- 传输和接收波特率可以与总线时钟异步运行，并且可以独立于总线时钟频率进行配置，支持在停止模式下运行
- 中断、DMA 或轮询操作
- 硬件奇偶校验生成和检查
- 可编程 8 位、9 位或 10 位字符长度
- 可编程的 1 位或 2 位停止位
- 三种接收器唤醒方法
- 闲置线唤醒
- 地址标记唤醒
- 接收数据匹配
- 自动地址匹配以减少 ISR 开销：
- 地址标记匹配
- 空闲行地址匹配
- 地址匹配开始，地址匹配结束
- 可选的 13 位中断字符生成/11 位中断字符检测
- 可配置的空闲长度检测，支持 1、2、4、8、16、32、64 或 128 个空闲字符
- 可选择的发射机输出和接收器输入极性

2.2.9 LPSPI

该设备包含一个 LPSPI 模块。LPSPI 是一个低功耗串行外围接口（SPI）模块，支持作为主和/或从的 SPI 总线的高效接口。只要有适当的时钟可用，LPSPI 可以继续运行，并且设计用于低 CPU 开销，并带有 FIFO 寄存器访问的 DMA 卸载。

LPSPI 模块具有以下功能：

- 命令/传输 4 个单词的 FIFO
- 收到 4 个单词的 FIFO
- 主机请求输入可用于控制 SPI 总线传输的开始时间

2.2.10 LPI2C

该设备包含一个 LPI2C 模块。LPI2C 是一个低功耗集成电路 (I2C) 模块，支持作为主和/或从的 I2C 总线的高效接口。只要有适当的时钟可用，LPI2C 可以继续停止模式下运行，并且设计用于低 CPU 开销，并带有 FIFO 寄存器访问的 DMA 卸载。LPI2C 实现了对标准模式、快速模式、快速模式加和超快速操作模式的逻辑支持。LPI2C 模块也符合 *系统管理总线 (SMBus) 规范，版本 2*。

LPI2C 模块具有以下特点：

- 支持标准、快速、快速+和超快速模式
- 从属模式下支持的 HS 模式
- 多主支持，包括同步和仲裁
- 时钟拉伸
- 一般呼叫，7 位和 10 位寻址
- 软件重置、START 字节和设备 ID 需要软件支持
- 对于主模式：
- 命令/传输 4 个单词的 FIFO
- 收到 4 个单词的 FIFO
- 对于从属模式：
- 单独的 I2C 从机寄存器，以最大限度地减少主/从切换导致的软件开销
- 支持 7 位或 10 位寻址、地址范围、SMFus 警报和一般呼叫地址
- 支持中断或 DMA 请求的传输/接收数据寄存器

2.2.11 FlexIO

FlexIO 是一个高度可配置的模块，提供广泛的协议，包括但不限于 UART、I2C、SPI、相机 IF、LCD RGB、PWM/波形生成。该模块支持独立于总线时钟频率的可编程波特率，具有自动启动/停止位生成。

FlexIO 模块具有以下特点：

- 在 VLPR/VLPW/Stop/VLPS 模式下功能，前提是它正在使用的时钟保持启用
- 四个 32 位双缓冲移位寄存器，具有传输、接收和数据匹配模式，以及连续数据传输
- 移位器的移位、负载和存储事件的时间由分配给移位器的高度灵活的 16 位计时器控制
- 可以连接两个或多个移位器，以支持大数据传输大小

- 每个 16 位计时器独立运行，支持重置、启用和禁用具有可编程触发极性的各种内部或外部触发条件
- 灵活的引脚配置，支持输出禁用、开放式排水、双向输出数据和输出模式
- 支持中断、DMA 或轮询发送/接收操作

2.2.12 端口控制和 GPIO

端口控制和中断（PORT）模块支持端口控制、数字过滤和外部中断功能。当引脚配置为 GPIO 功能时，GPIO 数据方向和输出数据寄存器控制每个引脚的方向和输出数据。当为任何数字功能配置引脚时，GPIO 输入数据寄存器在每个引脚上显示逻辑值，前提是启用该引脚的相应端口控制和中断模块。

下图显示了基本的 I/O 垫结构。伪开排水引脚在配置为开排水操作时禁用了 p 通道输出驱动器。任何 I/O 引脚，包括开漏和伪开引脚，都不允许高于 VDD。

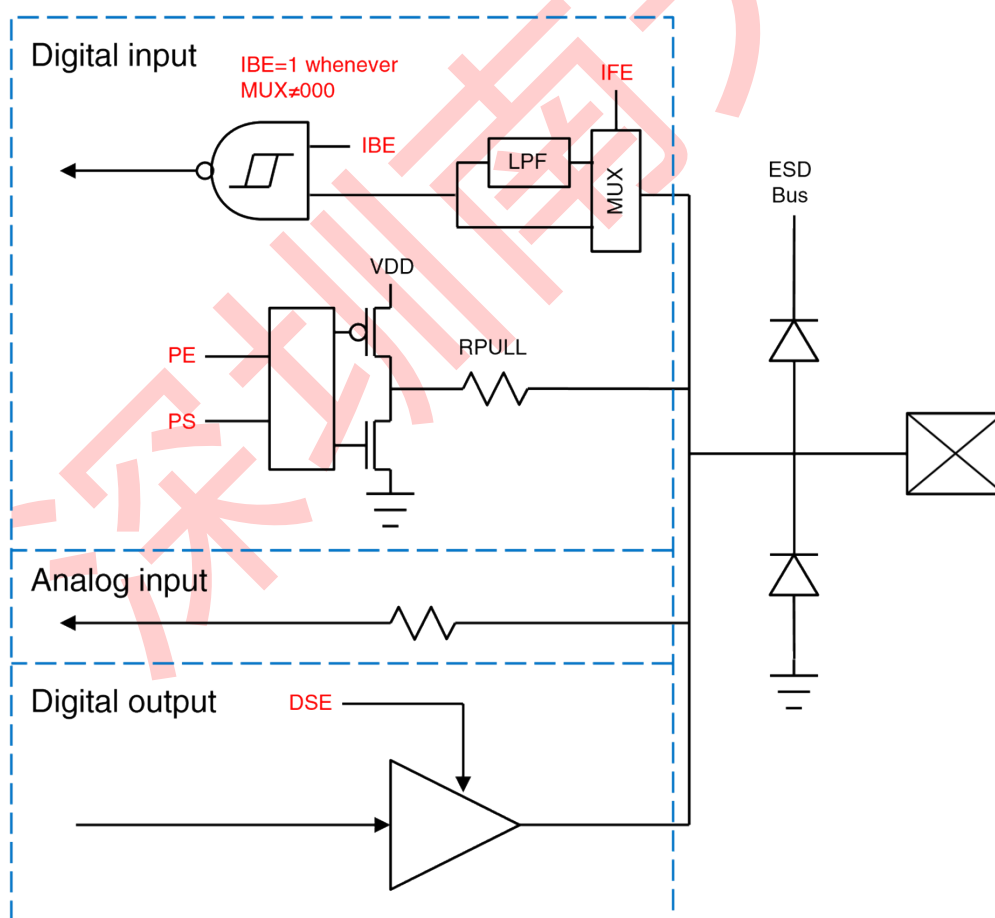


Figure 4. I/O simplified block diagram

PORT 模块具有以下功能：

- 所有 PIN 支持中断启用
- 可配置的边缘（上升、下降或两者兼而有之）或水平敏感中断类型
- 支持 DMA 请求
- 低功耗模式下的异步唤醒
- 在选定的引脚上可配置上拉、下拉和拉禁用
- 选定引脚上可配置的高和低驱动强度
- 选定引脚上的可配置被动滤波器
- 支持模拟或引脚禁用、GPIO 和芯片特定数字功能的单个多路控制场
- 垫配置字段在所有数字引脚互通模式下都具有功能。

GPIO 模块具有以下功能：

- 端口数据输入寄存器在所有数字引脚多路复用模式下可见
- 具有相应设置/清除/切换寄存器的端口数据输出寄存器
- 端口数据方向寄存器
- GPIO 支持通过快速 GPIO 进行单周期访问。

3 记忆地图

该设备包含各种内存和内存映射的外围设备，这些外围设备位于 4 GB 的内存空间中。有关系统内存和外围位置的更多详细信息，请参阅参考手册中的内存地图章节。

4 引脚

4.1 KE1xZ 信号多路复用和引脚分配

下表显示了每个引脚上的可用信号以及这些引脚在本文档支持的设备上的位置。端口控制模块负责选择每个引脚上可用的 ALT 功能。

笔记

CH4、CH12 和 CH21 上的 TSI 屏蔽销。

100 LQFP	64 LQFP	48 LQFP	别针名称	默认选项	ALT0	ALT1	ALT2	ALT3	ALT4	ALT 5	ALT6	ALT
—	10	10	VREFL/VSS	VREFL/VSS	VREFL/VSS							
1	—	—	PTE16	TSI0_CH13	TSI0_CH13	PTE16					FXIO_D3	TRGMU OUT7
2	—	—	PTE15	TSI0_CH14	TSI0_CH14	PTE15					FXIO_D2	TRGMU OUT6
3	1	1	PTD1	TSI0_CH11	TSI0_CH11	PTD1	FTM0_CH3		FTM2_CH1		FXIO_D1	TRGMU OUT2
4	2	2	PTD0	TSI0_CH12	TSI0_CH12	PTD0	FTM0_CH2		FTM2_CH0		FXIO_D0	TRGMU OUT1
5	3	3	PTE11	TSI0_CH9	TSI0_CH9	PTE11	PWT_IN1	LPTMR0_ALT1			FXIO_D5	TRGMU OUT5
6	4	4	PTE10	TSI0_CH10	TSI0_CH10	PTE10	CLKOUT				FXIO_D4	TRGMU OUT4
7	—	—	PTE13	TSI0_CH15	TSI0_CH15	PTE13						TRGMU OUT5

8	5	5	PTE5	TSI0_CH16	TSI0_CH16	PTE5	TCLK2		FTM2_CH3		FXIO_D7	EWM_IN
9	6	6	PTE4	TSI0_CH17	TSI0_CH17	PTE4	BUSOUT		FTM2_CH2		FXIO_D6	EWM_OUT_b
10	7	7	VDD	VDD	VDD							
11	8	8	VDDA	VDDA	VDDA							

深圳市南天星

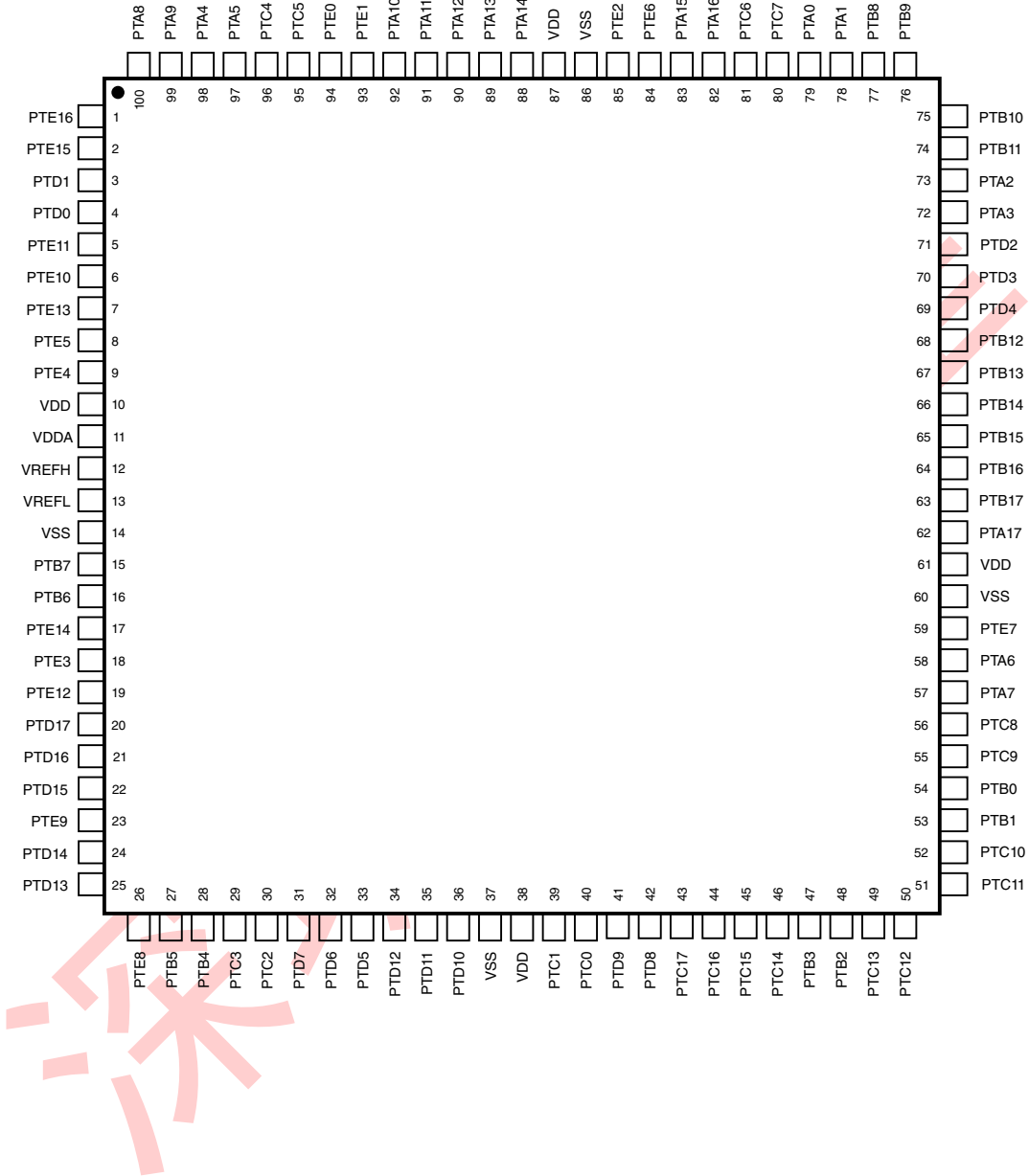


Figure 5. 100 LQFP Pinout Diagram

Pinouts

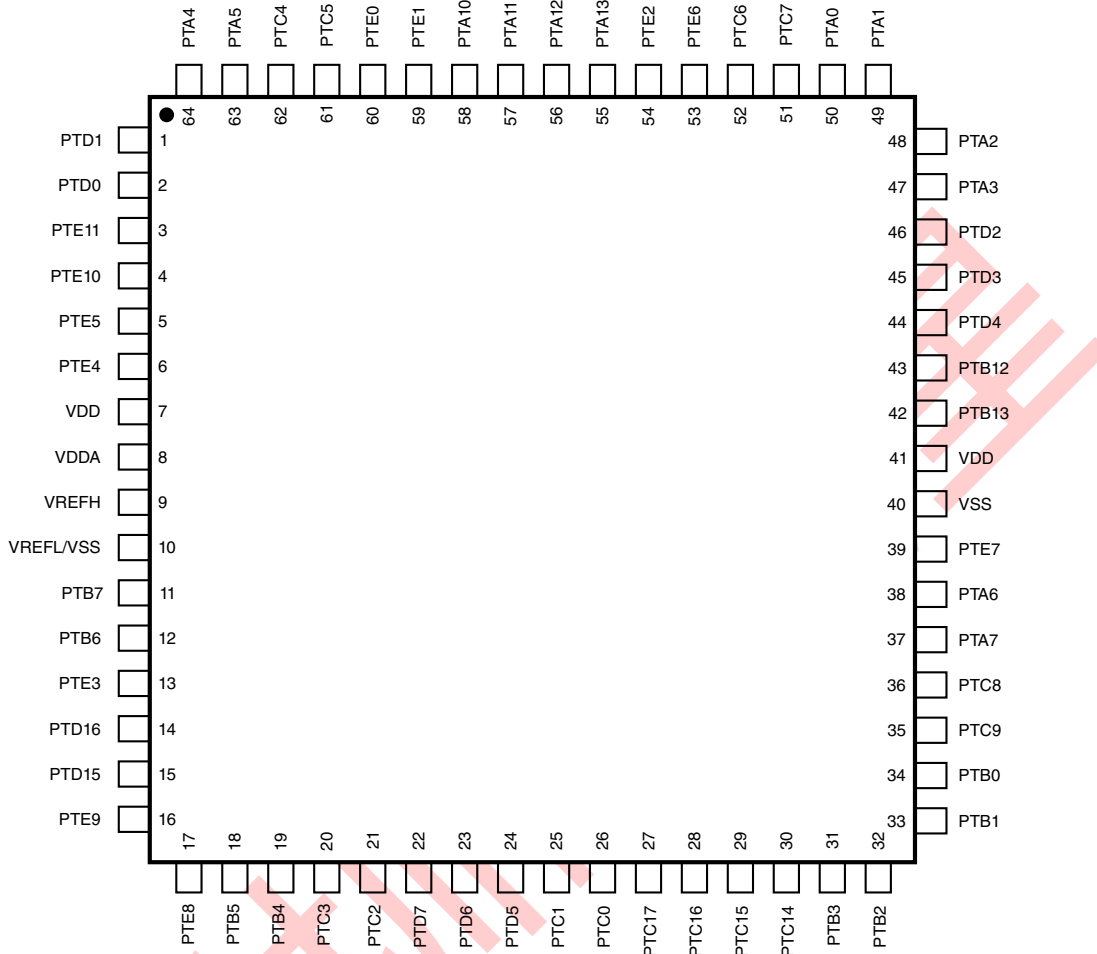


Figure 6. 64 LQFP Pinout Diagram

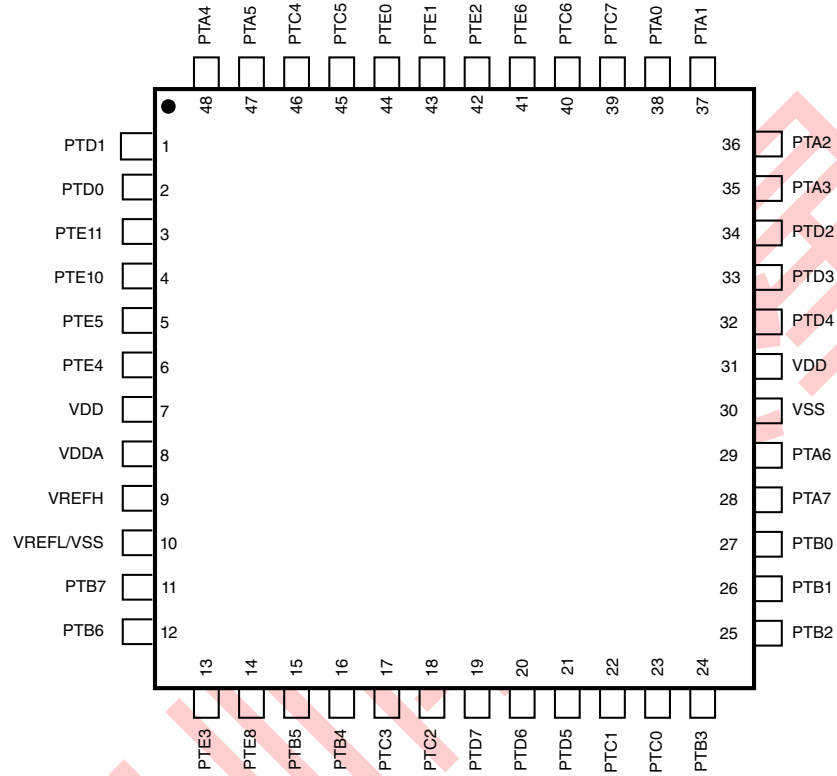


Figure 7. 48 LQFP Pinout Diagram

4.5 Package dimensions

The following figures show the dimensions of the package options for the devices supported by this document.