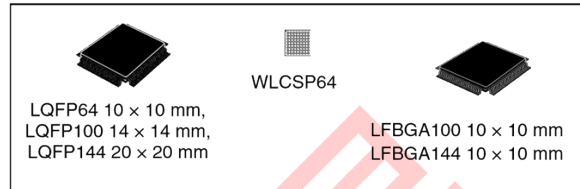


Features

- Core: Arm® 32-bit Cortex®-M3 CPU
 - 72 MHz maximum frequency, 1.25 DMIPS/MHz (Dhrystone 2.1) performance at 0 wait state memory access
- 单周期乘法和硬件划分
- 回忆
 - 256 至 512 千字节的闪存
 - 高达 64 Kbyte 的 SRAM
 - 带有 4 芯片的灵活静态存储器控制器选择。支持紧凑型闪存, SRAM, PSRAM、NOR 和 NAND 内存- 液晶并行接口, 8080/6800 模式
- 时钟、重置和供应管理
 - 2.0 至 3.6V 应用电源和 I/O
 - POR、PDR 和可编程电压检测器 (PVD)
 - 4 至 16 MHz 晶体振荡器
 - 内部 8 MHz 工厂修剪 RC
 - 带校准的内部 40 kHz RC
 - 带校准的 RTC 32 kHz 振荡器
- 低功耗
 - 睡眠、停止和待机模式
 - v 蝙蝠 RTC 和备用寄存器供应
- 3×12 位, 1 μs A/D 转换器 (最多 21 个通道)
 - 转换范围: 0 至 3.6V
 - 三重样本和保持能力
 - 温度传感器
- 2×12 位 D/A 转换器
- DMA: 12 通道 DMA 控制器
 - 支持的外围设备: 定时器、ADC、DAC、SDIO、I²Ss, SPIs, I²Cs 和 USARTs
- 调试模式
 - 串行线调试 (SWD) 和 JTAG 接口



CAN, 11 个计时器, 3 个 ADC, 13 个通信接口

- 皮层®-M3 嵌入式跟踪宏细胞™
- 多达 112 个快速 I/O 端口
 - 51/80/112 I/O, 所有可映射在 16 个外部中断向量上, 几乎所有 5 个 V 容忍度
- 2018 年 7 月
- 多达 11 个计时器
 - 最多四个 16 位计时器, 每个最多 4 个 IC/OC/PWM 或脉冲计数器和正交 (增量) 编码器输入
 - 2×16 位电机控制 PWM 计时器, 具有死时生成和紧急停止
 - 2×看门狗计时器 (独立和⑤口)
 - SysTick 计时器: 24 位下计数器- 2×16 位基本定时器来驱动 DAC
- 多达 13 个通信接口
 - 高达 2×I²C 接口 (SMBus/PMBus)
 - 多达 5 个 USART (ISO 7816 接口, LIN, IrDA 功能, 调制解调器控制)
 - 最多 3 个 SPI (18 Mbit/s), 2 个带 I²S 接口多路复用
 - CAN 接口 (2.0B Active)
 - USB 2.0 全速接口
 - SDIO 接口
- CRC 计算单元, 96 位唯一 ID
- 生态包装®包裹 **表 1. 设备摘要**

参考	部件号
----	-----

STM32F103xC	STM32F103RC STM32F103VC STM32F103ZC	STM32F103xE	STM32F103RE STM32F103ZE STM32F103VE
STM32F103xD	STM32F103RD STM32F103VD STM32F103ZD		

1/143
www.st.com

内容

内容

1 简介	9
2 描述	10
2.1 设备概述	11
2.2 整个家庭的完全兼容性	14
2.3 概述	15
2.3.1 手臂 [®] 皮层 [®] -带嵌入式闪存和 SRAM 的 M3 核心	15
2.3.2 嵌入式闪存	15
2.3.3 CRC (循环冗余检查) 计算单位	15
2.3.4 嵌入式 SRAM	15
2.3.5 FSMC (柔性静态存储器控制器)	15
2.3.6 LCD 并行接口	16
2.3.7 嵌套矢量中断控制器 (NVIC)	16
2.3.8 外部中断/事件控制器 (EXTI)	16
2.3.9 时钟和启动	16
2.3.10 启动模式	17
2.3.11 电源计划	17
2.3.12 电源主管	17
2.3.13 电压调节器	17
2.3.14 低功耗模式	18
2.3.15 DMA	18
2.3.16 RTC (实时时钟) 和备份寄存器	18
2.3.17 计时器和看门狗	19
2.3.18 I ² C	



	21	
2.3.19	通用同步/异步接收器发射器 (USARTs)	21	
2.3.20	串行外设接口 (SPI)	21
2.3.21	集成声音 (I ² S)	21
2.3.22	SDIO	22
2.3.23	控制器区域网络 (CAN)	22
2.3.24	通用串行总线 (USB)	22
2.3.25	GPIO (通用输入/输出)	22
2.3.26	ADC (模拟数字转换器)	22
2.3.27	DAC (数字模拟转换器)	23
2.3.28	温度传感器	24
			内容
2.3.29	串行线 JTAG 调试端口 (SWJ-DP)	24
2.3.30	嵌入式 Trace Macrocell™	24
3	销和销描述	
		25	
4	内存映射	40
5	电气特性	41
5.1	参数条件	41
5.1.1	最小值和最大值	41
5.1.2	典型值	41
5.1.3	典型的曲线	41
5.1.4	加载电容器	41
5.1.5	引脚输入电压	41
5.1.6	电源方案	42
5.1.7	当前消费测量	42
5.2	绝对最高评分	43



5.3	操作条件.....	44
5.3.1	一般操作条件.....	44
5.3.2	开机/关机操作条件.....	45
5.3.3	嵌入式重置和电源控制块特性.....	45
5.3.4	嵌入式参考电压.....	46
5.3.5	供应电流特性.....	46
5.3.6	外部时钟源特性.....	58
5.3.7	内部时钟源特性.....	62
5.3.8	PLL 特征.....	64
5.3.9	记忆特征.....	64
5.3.10	FSMC 的特点.....	66
5.3.11	EMC 特性.....	86
5.3.12	绝对最大额定值（电气灵敏度）.....	87
5.3.13	I/O 电流注射特性.....	88
5.3.14	I/O 端口特性.....	89
5.3.15	NRST 引脚特性.....	94
5.3.16	TIM 计时器特性.....	95
5.3.17	通信接口.....	96
5.3.18	CAN（控制器区域网络）接口.....	106
5.3.19	12 位 ADC 特性.....	106
5.3.20	DAC 电气规格.....	111
5.3.21	温度传感器特性.....	113
6	包裹信息.....	114
6.1	LFPGA144 包装信息.....	114

内容



6.2	LFBGA100 包装信息.....	117
6.3	WLCSP64 软件包信息.....	120
6.4	LQFP144 包装信息.....	122
6.5	LQFP100 包装信息.....	126
6.6	LQFP64 包装信息.....	129
6.7	热特性.....	132
6.7.1	参考文件.....	132
6.7.2	选择产品温度范围.....	133
7	订购信息.....	135
8	修订历史.....	136



表格列表

表 1。	设备摘要.....	1	
表 2。	STM32F103xC、STM32F103xD 和 STM32F103xE 功能和外部围数.....	11	计
表 3。	STM32F103xx 家庭.....	14	家
表 4。	高密度定时器功能比较.....	19	比
表 5。	高密度 STM32F103xC/D/E 引脚定义.....	31	
表 6。	FSMC pin definition.....	38	
表 7。	电压特性.....	43	
表 8。	当前特征.....	43	特
表 9。	热特性.....	44	
表 10。	一般操作条件.....	44	
表 11。	开机/关机操作条件.....	45	
表 12。	嵌入式重置和电源控制块特性.....	45	
表 13。	嵌入式内部参考电压.....	46	
表 14。	运行模式下的最大电流消耗，带有数据处理的代码逃离.....	47	电
表 15。	运行模式下的最大电流消耗，带有数据处理的代码从内存中运行.....	47	运
表 16。	睡眠模式下的最大电流消耗，从闪存或 RAM 运行的代码.....	49	
表 17。	停止和待机模式下的典型和最大电流消耗.....	50	
表 18。	运行模式下的典型电流消耗，带数据处理的代码逃离.....	53	电
表 19。	睡眠模式下的典型电流消耗，从 Flash 运行的代码或 RAM.....	54	
表 20。	外围电流消耗.....	55	
表 21。	高速外部用户时钟特性.....	58	



表 22。	低速外部用户时钟特性.....	58
表 23。	HSE 4-16 MHz 振荡器特性.....	60
表 24。	LSE 振荡器特性 ($f_{LSE}= 32.768$ kHz).....	61
表 25。	HSI 振荡器特性.....	62
表 26。	LSI 振荡器特性.....	63
表 27。	低功耗模式唤醒时间.....	63
表 28。	PLL 特征.....	64
表 29。	闪存特性.....	64
表 30。	闪存持久性和数据保留.....	65
表 31。	异步非多路 SRAM/PSRAM/NOR 读取时序.....	67
表 32。	异步非多路 SRAM/PSRAM/NOR 写时序.....	68
表 33。	异步多路复用 PSRAM/NOR 读取时序.....	69
表 34。	异步多路复用 PSRAM/NOR 写时序.....	70
表 35。	同步多路复用 NOR/PSRAM 读取时序.....	72
表 36。	同步多路复用 PSRAM 写时.....	74
表 37。	同步非多路 NOR/PSRAM 读取时序.....	75
表 38。	同步非多路 PSRAM 写入时序.....	76
表 39。	PC 卡/CF 读写周期的切换特性.....	81
表 40。	NAND Flash 读写周期的切换特性.....	85
表 41。	EMS 特性.....	86
表 42。	EMI 特性.....	87
表 43。	ESD 绝对最高评级.....	87
表格列表		
表 44。	电气敏感性.....	88
表 45。	I/O 电流注射敏感性.....	88



表 56。	USB 启动时间.....	103	动	时
表 57。	USB 直流电气特性.....	104	电	特
表 58。	USB：全速电气特性.....	105		
表 59。	ADC 特性.....	105		特
表 60。	字母 RAINF 的最大值 ADC= 14 MHz.....	106		
表 61。	ADC 准确性 - 有限的测试条件.....	107		
表 62。	ADC 准确性.....	107		确
表 63。	DAC 特性.....	108		特
表 64。	TS 点.....	111		特
表 65。	LFBGA144 – 144 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装机械数据.....	113		
表 66。	LFBGA144 推荐的 PCB 设计规则 (0.8 毫米间距 BGA)。	115		
表 67。	LFBGA100 - 10 x 10 毫米低调细间距球网格阵列包机械数据.....	117		
表 68。	LFBGA100 推荐的 PCB 设计规则 (0.8 毫米间距 BGA)。	118		
表 69。	WLCSP，64 球 4.466x4.395 毫米，0.500 毫米间距，晶圆级芯片刻度包装机械数据.....	120		数
表 70。	WLCSP64 推荐的 PCB 设计规则 (0.5 毫米间距)	121		
表 71。	LQFP144 - 144 针，20 x 20 毫米低调四平套件机械数据.....	123		
表 72。	LQFP100 – 14 x 14 毫米 100 针低调四平套件机械数据.....	126		
表 73。	LQFP64 – 10 x 10 毫米 64 针低调四平封装机械数据.....	129		
表 74。	包装热特性.....	132	热	特
表 75。	订购信息方案.....	135		



数字列表

图 1。	STM32F103xC、STM32F103xD 和 STM32F103xE 性能线框图...	12
图 2。	时钟树.....	13
图 3。	STM32F103xC/D/E BGA144 ballout.....	25
图 4。	STM32F103xC/D/E 性能线 BGA100 ballout.....	26
图 5。	STM32F103xC/D/E 性能线 LQFP144 pinout.....	27
图 6。	STM32F103xC/D/E 性能线 LQFP100 销 out.....	28
图 7。	STM32F103xC/D/E 性能线 LQFP64 销 out.....	29
图 8。	STM32F103xC/D/E 性能线 WLCSP64 球, 球 侧.....	30
图 9。	记 图.....	40
图 10。	引 脚 加 载 条 件.....	41
图 11。	引 脚 输 入 电 压.....	41
图 12。	电源方案.....	42
图 13。	当前消费测量方案.....	42
图 14。	运行模式下的典型电流消耗与频率 (3.6V) - 从 RAM 运行数据处理的代码, 外围设备已启用.....	48
图 15。	运行模式下的典型电流消耗与频率 (3.6V) - 从 RAM 运行数据处理的代码, 外围设备被禁用.....	48
图 16。	V 上的典型电流消耗 蝙蝠 RTC 与温度 在 不 同 的 V 蝙 蝠 值.....	51
图 17。	停止模式下的典型电流消耗, 运行模式下的调节器 相对于不同 V 的温度女儿评价.....	51
图 18。	停止模式下的典型电流消耗, 低功耗调节器 不同 V 处的模式与温度女儿值.....	52
图 19。	待机模式下的典型电流消耗与温度在 不同的 V 女儿值.....	52
图 20。	高速外部时钟源交流时序图.....	59
图 21。	低速外部时钟源交流时序图.....	59
图 22。	8 MHz 晶 体 的 典 型 应 用.....	60



图 23。	32.768 kHz 晶体的典型应用	62
图 24。	异步非多路 SRAM/PSRAM/NOR 读取波形	66
图 25。	异步非多路复用 SRAM/PSRAM/NOR 写入波形	67
图 26。	异步多路复用 PSRAM/NOR 读取波形	68
图 27。	异步多路复用 PSRAM/NOR 写入波形	70
图 28。	同步多路复用 NOR/PSRAM 读取时序	71
图 29。	同步多路复用 PSRAM 写时	73
图 30。	同步非多路 NOR/PSRAM 读取时序	75
图 31。	同步非多路 PSRAM 写入时序	76
图 32。	用于普通内存读取访问的 PC 卡/CompactFlash 控制器波形	77
图 33。	用于普通内存写入访问的 PC 卡/CompactFlash 控制器波形	78
图 34。	用于读取属性内存的 PC 卡/CompactFlash 控制器波形访问	79
图 35。	用于属性内存写入的 PC 卡/CompactFlash 控制器波形访问	80
图 36。	用于 I/O 空间读取访问的 PC 卡/CompactFlash 控制器波形	80
图 37。	用于 I/O 空间写入访问的 PC 卡/CompactFlash 控制器波形	81
图 38。	用于读取访问的 NAND 控制器波形	83
图 39。	用于写入访问的 NAND 控制器波形	84

数字列表

图 40。	用于普通内存读取访问的 NAND 控制器波形	84
图 41。	用于普通内存写入访问的 NAND 控制器波形	85
图 42。	标准 I/O 输入特性-CMOS 端口	90
图 43。	标准 I/O 输入特性 - TTL 端口	90
图 44。	5 V tolerant I/O 输入特性 - CMOS 端口	90
图 45。	5 V tolerant I/O 输入特性 - TTL 端口	91
图 46。	I/O AC 特性定义	94
图 47。	推荐的 NRST 引脚保护	95
图 48。	我 ² C 总线交流波形和测量电路	97
图 49。	SPI 定时图 - 奴隶模式和 CPHA = 0	99



	式.....	103
图 55	SD 默认模式.....	
图 56	USB 计时：数据信号上升和下降时间..... 的定义.....	105
图 57	ADC 准确性特性.....	108
图 58	使用 ADC 的典型连接图.....	109
图 59	电源和参考解耦 (V_{REF+} 未连接到 V_{DDA}).....	109
图 60	电源和参考解耦 (V_{REF+} 连接到 V_{DDA}).....	110
图 61	12 位缓冲/非缓冲 DAC.....	112
图 62	LFBGA144 – 144 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装轮廓.....	114
图 63	LFBGA144 – 144 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装推荐足迹.....	115
图 64	LFBGA144 标记示例（包装顶视图）.....	116
图 65	LFBGA100 - 10 x 10 毫米低调细间距球网格阵列包装大纲.....	117
图 66	LFBGA100 – 100 球低调细间距球网格阵列，10 x 10 毫米，0.8 毫米间距，包装推荐足迹大纲.....	118
图 67	LFBGA100 标记示例（包装顶视图）.....	119
图 68	WLCSP，64 球 4.466x4.395 毫米，0.500 毫米间距，晶圆级芯片刻度包装大纲.....	120
图 69	WLCSP64 - 64 球，4.4757 x 4.4049 毫米，0.5 毫米间距晶圆级芯片刻度包装推荐足迹.....	121
图 70	LQFP144 - 144 针，20 x 20 毫米低调四平面封装轮廓.....	122
图 71	LQFP144 - 144 针，20 x 20 毫米低调四平面封装推荐足迹.....	124
图 72	LQFP144 标记示例（包装顶视图）.....	125
图 73	LQFP100 – 14 x 14 毫米 100 针低调四平面封装轮廓.....	126
图 74	LQFP100 封装推荐足迹.....	127
图 75	LQFP100 标记示例（包装顶视图）.....	128
图 76	LQFP64 – 10 x 10 毫米 64 针低调四平面封装轮廓.....	129
图 77	LQFP64 - 64 针，10 x 10 毫米低调四平面建议占地面积.....	130
图 78	LQFP64 标记示例（包装顶视图）.....	131
图 79	LQFP100 P _d 最大对 T 罗马字母的第一个字母.....	134



1 简单介绍

本数据表提供了 STM32F103xC、STM32F103xD 和 STM32F103xE 高密度性能线微控制器的订购信息和机械特性。有关整个 STMicroelectronics STM32F103xC/D/E 系列的更多详细信息，请参阅 [第 2.2 节：整个家庭的完全兼容性](#)。

高密度 STM32F103xC/D/E 数据表应与 STM32F10xxx 参考手册一起阅读。

有关内部闪存的编程、擦除和保护的信息，请参阅 [STM32F10xxx 闪存编程手册](#)。

参考和 Flash 编程手册都可以从 STMicroelectronics 网站上获得 www.st.com。

有关手臂的信息^{®(a)} 皮层[®]-M3 核心，请参考 Cortex[®]-M3 技术参考手册，可从 www.arm.com 网站地址如下：

[Http://infocenter.arm.com](http://infocenter.arm.com)。



A. Arm 是 Arm Limited (或其子公司) 在美国和/或其他地方的注册商标。

2 描述

STM32F103xC、STM32F103xD 和 STM32F103xE 性能系列集成了高性能臂®皮层®-M3 32 位 RISC 核心运行在

72 MHz 频率，高速嵌入式存储器（闪存高达 512K 字节，SRAM 高达 64K 字节），以及连接到两个 APB 总线的广泛增强 I/O 和外围设备。所有设备都提供三个 12 位 ADC，四个通用 16 位计时器加上两个 PWM 计时器，以及标准和高级通信接口：最多两个 I²Cs，三个 SPI，两个 I²Ss，一个 SDIO，五个 USART，一个 USB 和一个可以。

STM32F103xC/D/E 高密度性能线系列在-40 至+105°C 的温度范围内运行，从 2.0V 到 3.6V 电源。一套全面的省电模式允许设计低功耗应用程序。

这些功能使 STM32F103xC/D/E 高密度性能线微控制器系列适用于广泛的应用，如电机驱动器、应用控制、医疗和手持设备、PC 和游戏外围设备、GPS 平台、工业应用、PLC、逆变器、打印机、扫描仪、报警系统视频对讲机和暖通空调。



2.1 设备概述

STM32F103xC/D/E 高密度性能线系列提供六种不同封装类型的设备：从 64 针到 144 针。根据所选择的设备，包括不同的外围设备集，下面的描述概述了该系列中建议的完整外围设备。

图1 显示设备系列的通用框图。

表 2。STM32F103xC、STM32F103xD 和 STM32F103xE 功能和外围设备计数

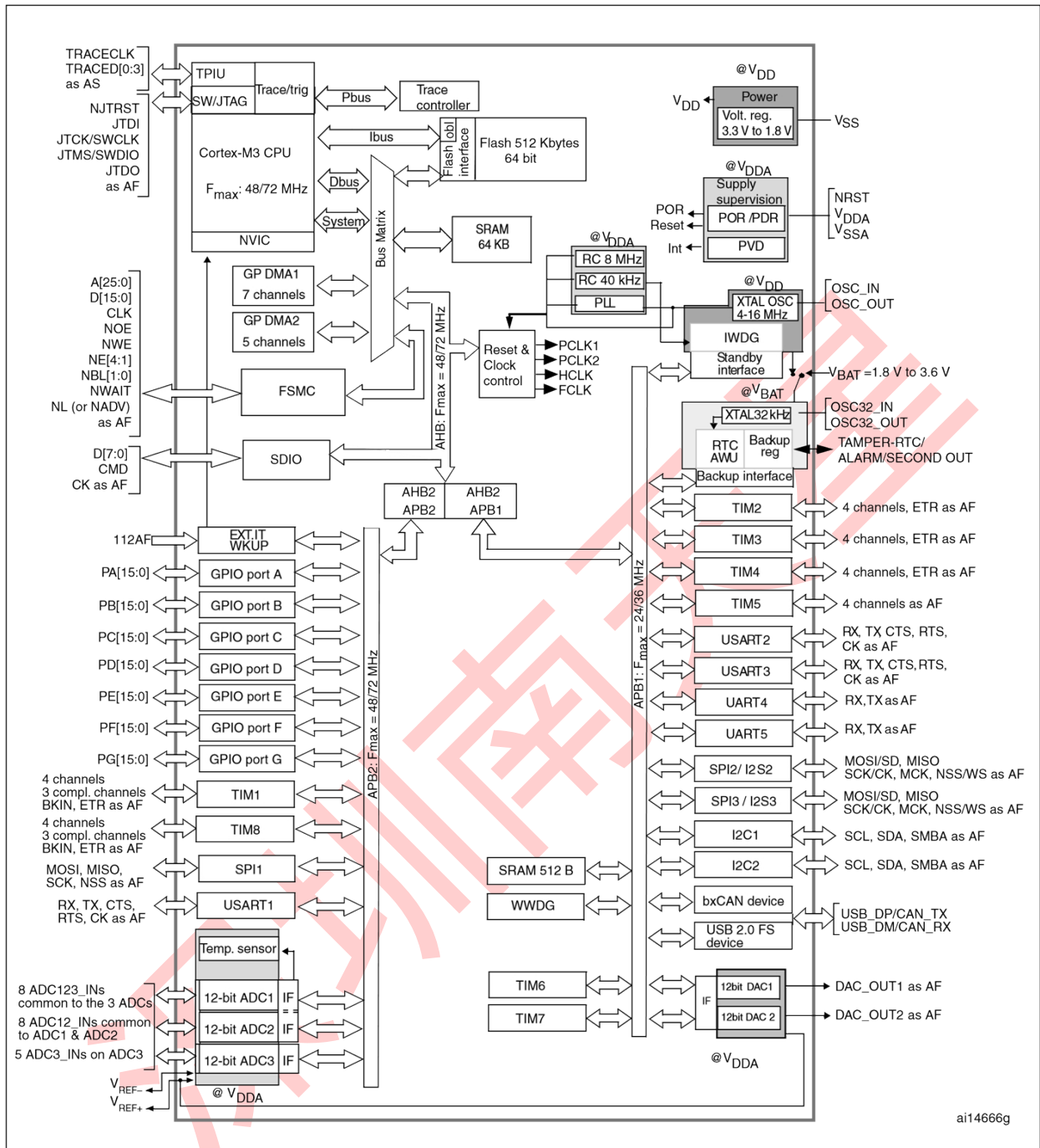
外围设备		STM32F103Rx			STM32F103Vx			STM32F103Zx		
Kbytes 的闪存		256	384	512	256	384	512	256	384	512
SRAM (Kbytes)		48	64		48	64		48	64	
FSMC		不是			是 (1)			是		
计时器	多用途的				4					
	高级控制				2					
	日常必须品				2					
通信	SPI (我 2S) (2)				3 (2)					
	我 2 字母 C				2					
	乌尔特				5					
	通用串行总线				1					
	装罐量				1					
	SDIO				1					
GPIOs		51			80			112		
12 位 ADC 频道数量		3 16			3 16			3 21		
12 位 DAC 频道数量					2 2					
CPU 频率					72 兆赫					
工作电压					2.0 至 3.6 伏					
工作温度					环境温度：-40 至+85 °C /-40 至+105°C (见 表 10) 结点温度：-40 至+125°C (见 表 10)					
包裹		LQFP64, WLCSP64			LQFP100, BGA100			LQFP144, BGA144		

1. 对于 LQFP100 和 BGA100 软件包，只有 FSMC Bank1 和 Bank2 可用。Bank1 只能支持使用 NE1 芯片选择的多路复用 NOR/PSRAM 内存。Bank2 只能支持使用 NCE2 Chip Select 的 16 位或 8 位 NAND 闪存。由于此软件包中没有端口 G，因此无法使用中断线路。

2. SPI2 和 SPI3 接口提供了在 SPI 模式或 I 模式下以独家方式工作的灵活性 2S 音频模式。



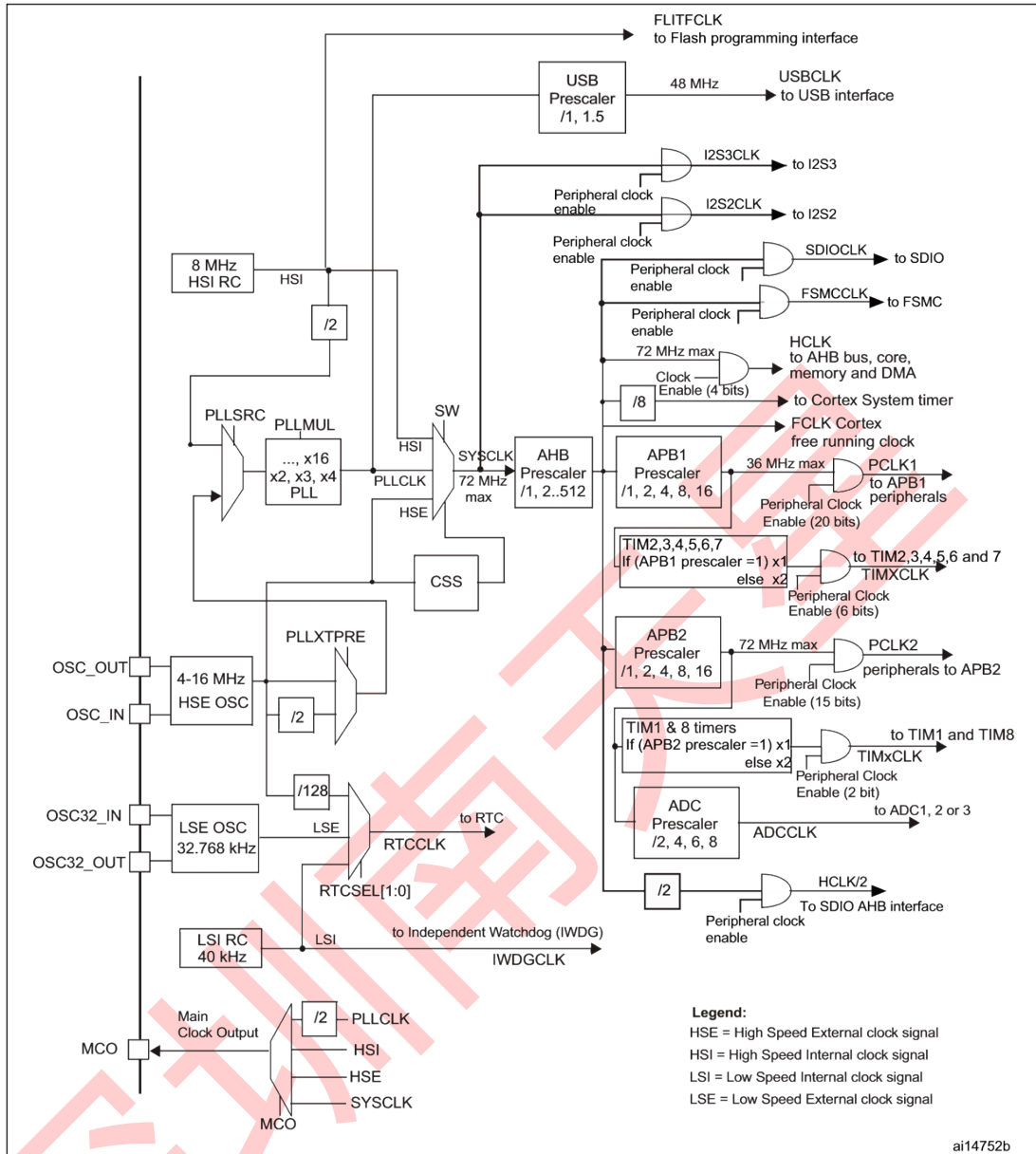
图 1。STM32F103xC、STM32F103xD 和 STM32F103xE 性能线框图



1. 字母 T 罗马字母的第一个字母 = -40 °C 至 +85 °C (后缀 6, 见表 75) 或 -40 °C 至 +105 °C (后缀 7, 见表 75), 连接温度分别高达 105 °C 或 125 °C。2. AF = I/O 端口引脚上的替代功能。9



图 2。时钟树



1. 当 HSI 用作 PLL 时钟输入时，可以达到的最大系统时钟频率是 64 兆赫。
2. 要使 USB 功能可用，必须启用 HSE 和 PLL，USBCLK 为 48 MHz。
3. 要让 ADC 转换时间达到 1 微米，APB2 必须为 14 MHz、28 MHz 或 56 MHz。

2.2 整个家庭的完全兼容性

STM32F103xC/D/E 是一个完整的家族，其成员完全针对针，软件和功能兼容。在参考手册中，STM32F103x4 和 STM32F103x6 被识别为低密度设备，STM32F103x8 和 STM32F103xB 被称为中密度设备，STM32F103xC、STM32F103xD 和 STM32F103xE 被称为高密度设备。



低密度和高密度设备是 STM32F103x8/B 中密度设备的扩展，它们分别在 STM32F103x4/6 和 STM32F103xC/D/E 数据表中指定。低密度设备具有较低的闪存和 RAM 容量，更少的定时器和外围设备。高密度设备具有更高的闪存和 RAM 容量，以及 SDIO、FSMC、I 等其他外围设备²S 和 DAC，同时与家庭的其他成员保持完全兼容。

STM32F103x4、STM32F103x6、STM32F103xC、STM32F103xD 和 STM32F103xE 是 STM32F103x8/B 设备的替代品，允许用户尝试不同的内存密度，并在开发周期中提供更大的自由度。

此外，STM32F103xx 性能线系列与所有现有的 STM32F101xx 接入线和 STM32F102xx USB 接入线设备完全兼容。

表 3。STM32F103xx 家族

Pinout	低密度设备		中等密度设备		高密度设备		
	16 KB 闪存	32 KB 闪存 ⁽¹⁾	64 KB 闪存	128 KB 闪存	256 KB 闪存	384 KB 闪光灯	512 KB 闪存
	6 KB RAM	10 KB RAM	20 KB RAM	20 KB RAM	48 RAM	64 KB RAM	64 KB RAM
144					5×USARTs 4×16 位计时器，2×基本计时器 3 × SPI，2 × I ² Ss，2 × I ² Cs USB，CAN，2×PWM 计时器 3 × ADC，2 × DAC，1 × SDIO FSMC (100 针和 144 针封装) ⁽²⁾		
100							
64	2 × USARTs 2×16 位计时器 1 × SPI，1 × I ² C，USB，CAN， 1 × PWM 计时器 2 × ADC		3 × USARTs 3×16 位计时器 2 × SPI，2 × I ² Cs，USB，CAN，1×PWM 计时器 2×ADC				
48							
36							

1. 对于在温度范围代码（6 或 7）后不显示 A 内部代码的可订购部件号，电气特性的参考数据表是 STM32F103x8/B 中密度设备的参考数据表。

2. 端口 F 和 G 在以 100 针包装交付的设备中不可用。

2.3 概述

2.3.1 手臂[®]皮质[®]-带嵌入式闪存和 SRAM 的 M3 核心

手臂皮质[®]-M3 处理器是用于嵌入式系统的最新一代 Arm 处理器。它的开发旨在提供一个低成本的平台，满足 MCU 实施的需求，减少引脚数和低功耗，同时提供出色的计算性能和对中断的高级系统响应。

手臂皮质[®]-M3 32 位 RISC 处理器具有卓越的代码效率，以通常与 8 位和 16 位设备相关的内存大小提供 Arm 核心所期望的高性能。

凭借其嵌入式 Arm 核心，STM32F103xC、STM32F103xD 和 STM32F103xE 性能系列与所有 Arm 工具和软件兼容。

图 1 显示设备系列的通用框图。



2.3.2 嵌入式闪存

高达 512K 字节的嵌入式闪存可用于存储程序和数据。

2.3.3 CRC（循环冗余检查）计算单元

CRC（循环冗余检查）计算单元用于从 32 位数据字和固定生成多项式中获取 CRC 代码。

在其他应用中，基于 CRC 的技术用于验证数据传输或存储完整性。在 EN/IEC 60335-1 标准范围内，它们提供了一种验证闪存完整性的方法。CRC 计算单元有助于在运行时计算软件的签名，与链接时生成并存储在给定内存位置的参考签名进行比较。

2.3.4 嵌入式 SRAM

以 CPU 时钟速度访问（读/写）高达 64K 字节的嵌入式 SRAM，等待状态为 0。

2.3.5 FSMC（柔性静态存储器控制器）

FSMC 嵌入在 STM32F103xC、STM32F103xD 和 STM32F103xE 性能线家族。它有四个芯片选择输出，支持以下模式：PC 卡/紧凑型闪存、SRAM、PSRAM、NOR 和 NAND。

功能概述：

- 三条 FSMC 中断线路被 ORed，以便连接到 NVIC
- 写 FIFO
- 除 NAND 闪存和 PC 卡外，从外部内存执行代码
- 目标频率， f_{CLK} ，是 $HCLK/2$ ，所以当 HCLK 为 72 MHz 时，外部访问为 36 MHz，当 HCLK 为 48 MHz 时，外部访问为 24 MHz

2.3.6 LCD 并行接口

FSMC 可以配置为与大多数图形 LCD 控制器无缝接口。它支持英特尔 8080 和摩托罗拉 6800 模式，并且足够灵活，可以适应特定的 LCD 接口。这种 LCD 并行接口功能使使用带有嵌入式控制器的 LCD 模块或使用具有专用加速的外部控制器的高性能解决方案可以轻松构建具有成本效益的图形应用程序。

2.3.7 嵌套矢量中断控制器（NVIC）

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线嵌入了一个嵌套矢量中断控制器，能够处理多达 60 个可掩码中断通道（不包括 Cortex 的 16 条中断线）[®]-M3）和 16 个优先级。

- 紧密耦合的 NVIC 提供低延迟中断处理
- 直接传递到核心的中断条目矢量表地址
- 紧密耦合的 NVIC 核心接口
- 允许早期处理中断
- 处理 迟到更高优先级的中断
- 支持尾链



- 处理器状态自动保存
 - 在中断出口上恢复中断入口，没有指令开销
- 此硬件块提供灵活的中断管理功能，中断延迟最小。

2.3.8 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由 19 条边缘检测线组成，用于生成中断/事件请求。每条线都可以独立配置为选择触发事件（上升边缘、下降边缘，两者），并且可以独立屏蔽。挂起的寄存器维护中断请求的状态。EXTI 可以检测脉冲宽度短于内部 APB2 时钟周期的外部线路。多达 112 个 GPIO 可以连接到 16 条外部中断线路。

2.3.9 时钟和启动

系统时钟选择在启动时执行，但内部 RC 8 MHz 振荡器在重置时被选为默认 CPU 时钟。可以选择外部 4-16 MHz 时钟，在这种情况下，会对其进行故障监控。如果检测到故障，系统会自动切换回内部 RC 振荡器。如果启用，将生成软件中断。同样，必要时可以对 PLL 时钟条目进行完全中断管理（例如，间接使用的外部振荡失败或者）。

几个预缩放器允许配置 AHB 频率、高速 APB (APB2) 和低速 APB (APB1) 域。AHB 和高速 APB 域的最大频率为 72 MHz。低速 APB 域的最大允许频率为 36 MHz。请参阅 [图 2](#) 有关时钟树的详细信息。

2.3.10 引导模式

在启动时，引导引脚用于选择三个引导选项之一：

- 从用户 Flash 启动：您可以选择从两个内存库中的任何一个启动。默认情况下，选择从闪存库 1 启动。您可以通过在选项字节中设置位来选择从闪存库 2 启动。
- 从系统内存启动
- 从嵌入式 SRAM 启动

引导加载程序位于系统内存中。它用于使用 USART1 重新编程闪存。

2.3.11 电源计划

- $V_{\text{女儿}} = 2.0$ 至 3.6 V：I/O 和内部调节器的外部电源。通过 V 外部提供 女儿 引脚。
- $V_{\text{SSA}}, V_{\text{DDA}} = 2.0$ 至 3.6 V：ADC、DAC、重置块、RC 和 PLL 的外部模拟电源（使用 ADC 或 DAC 时，对 VDDA 施加的最低电压为 2.4V）。VDDA 和 VSSA 必须连接到 V 女儿 和 V 纳粹党卫军，分别。
- $V_{\text{蝙蝠}} = 1.8$ 至 3.6 V：RTC 电源，外部时钟 32 kHz 振荡器和备用寄存器（通过电源开关）当 V 女儿 不在场。

有关如何连接电源引脚的更多详细信息，请参阅 [图 12：电源方案](#)。



2.3.12 电源主管

该设备具有集成的开机复位 (POR) / 关机复位 (PDR) 电路。它始终处于活动状态，并确保从/向下到 2 V 的正常运行。当 V 时，设备仍处于重置模式 $V_{POR/PDR}$ 低于指定的阈值， $V_{POR/PDR}$ ，不需要外部复位电路。

该设备具有嵌入式可编程电压检测器 (PVD)，可监控 V_{DDA} 电源，并将其与 V 进行比较 PVD 阈值。当 V 时可以生成中断 V_{DDA} 下降到 V 以下 PVD 阈值和/或当 V_{DDA} 比 V 高 PVD 阈值。然后，中断服务例程可以生成警告消息和/或将 MCU 置于安全状态。PVD 由软件启用。参考 [表 12：嵌入式复位和电源控制块特性](#) 对于 V 的值 $V_{POR/PDR}$ 和 V_{PVD} 。

2.3.13 电压调节器

调节器有三种操作模式：主 (MR)、低功耗 (LPR) 和断电。

- MR 用于标称调节模式 (运行)
- LPR 用于停止模式。
- 关机在待机模式下使用：调节器输出处于高阻抗；内核电路断电，诱导零消耗 (但寄存器和 SRAM 的内容丢失)

此调节器在重置后始终启用。它在待机模式下被禁用。

2.3.14 低功耗模式

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线支持三种低功耗模式，以实现低功耗、短启动时间和可用唤醒源之间的最佳折衷：

- **睡觉时段形式**
在睡眠模式下，只有 CPU 停止。所有外围设备都继续运行，当发生中断/事件时，可以唤醒 CPU。
- **阻止形式**
停止模式实现了最低的功耗，同时保留了 SRAM 和寄存器的内容。1.8 V 域中的所有时钟都停止，PLL、HSI RC 和 HSE 晶体振荡器被禁用。稳压器也可以置于正常或低功耗模式。
该设备可以通过任何 EXTI 线路从停止模式唤醒。EXTI 线路源可以是 16 条外部线路之一，PVD 输出，RTC 警报或 USB 唤醒。
- **备用物形式**
待机模式用于实现最低功耗。内部电压调节器已关闭，以便整个 1.8V 域都已关闭。PLL、HSI RC 和 HSE 晶体振荡器也已关闭。进入待机模式后，除了备份域和待机电路中的寄存器外，SRAM 和寄存器内容都会丢失。
当发生外部重置 (NRST 引脚)、IWDG 重置、WKUP 引脚上的上升边缘或 RTC 警报时，设备退出待机模式。

注意：RTC、IWDG 和相应的时钟源不会通过进入停止或待机模式而停止。



2.3.15 DMA

灵活的 12 通道通用 DMA (DMA1 为 7 通道, DMA2 为 5 通道) 能够管理内存到内存、外围内存和内存外围传输。两个 DMA 控制器支持循环缓冲区管理, 消除了控制器到达缓冲区末端时对用户代码干预的需求。

每个通道都连接到专用的硬件 DMA 请求, 并支持每个通道上的软件触发器。配置由软件进行, 源和目的地之间的传输大小是独立的。

DMA 可以与主要外围设备一起使用: SPI, I²C, USART, 通用, 基本和高级控制计时器 TIMx, DAC, I²S、SDIO 和 ADC。

2.3.16 RTC (实时时钟) 和备份寄存器

RTC 和备用寄存器通过在 V_{DD} 上接通电源的开关提供女儿存在时或通过 V_{DD} 供应蝙蝠针。备份寄存器是 42 个 16 位寄存器, 用于存储 84 字节的用户应用程序数据, 当 V_{DD} 女儿权力不存在。它们不会被系统或电源重置重置, 当设备从待机模式唤醒时, 它们也不会重置。

实时时钟提供一组连续运行的计数器, 可与合适的软件一起使用, 以提供时钟日历功能, 并提供报警中断和定期中断。它由 32.768 kHz 的外部晶体、谐振器或振荡器、内部低功率 RC 振荡器或高速外部时钟除以 128 来计时。内部低速 RC 的典型频率为 40 kHz。RTC 可以使用外部 512 Hz 输出进行校准, 以补偿任何自然石英偏差。RTC 具有 32 位可编程计数器, 用于长期测量, 使用比较寄存器生成警报。20 位预缩放器用于时间基时钟, 默认配置为从 32.768 kHz 的时钟生成 1 秒的时间基。

2.3.17 计时器和看门狗

高密度 STM32F103xC/D/E 性能线设备包括最多两个高级控制计时器、最多四个通用计时器、两个基本计时器、两个看门狗计时器和一个 SysTick 计时器。

表 4 比较高级控制、通用和基本计时器的特点。

表 4。高密度定时器功能比较

计时器	反决议	柜台类型	预标量因子	DMA 请求生成	捕获/比较频道	补充输出
TIM1 , TIM8	16 位	上, 下, 上/下	1 到 65536 之间的任何 整数	是	4	是
TIM2 , TIM3 , TIM4 , TIM5	16 位	上, 下, 上/下	1 到 65536 之间的任何 整数	是	4	不是
TIM6 , TIM7	16 位	在上面	1 到 65536 之间的任何 整数	是	0	不是



高级控制计时器 (TIM1 和 TIM8)

两个高级控制计时器 (TIM1 和 TIM8) 都可以被视为在 6 个通道上多路复用的三相 PWM。它们具有互补的 PWM 输出和可编程插入死时间。它们也可以被视为一个完整的通用计时器。4 个独立频道可用于：

- 输入捕获
- 输出比较
- PWM 生成 (边缘或中心对齐模式)
- 一脉冲模式输出

如果配置为标准的 16 位计时器, 它具有与 TIMx 计时器相同的功能。如果配置为 16 位 PWM 发电机, 它具有完全调制能力 (0-100%)。

在调试模式下, 高级控制计时器计数器可以被冻结, 并禁用 PWM 输出, 以关闭由这些输出驱动的任何电源开关。

许多功能与具有相同架构的通用 TIM 计时器共享。因此, 高级控制计时器可以通过计时器链接功能与 TIM 计时器一起工作, 以进行同步或事件链化。

通用计时器 (TIMx)

STM32F103xC、STM32F103xD 和 STM32F103xE 性能线设备中嵌入了多达 4 个可同步的通用定时器 (TIM2、TIM3、TIM4 和 TIM5)。这些计时器基于 16 位自动重新加载上/下计数器, 16 位预缩放器, 每个通道具有 4 个独立通道, 用于输入捕获/输出比较、PWM 或 onepulse 模式输出。这在最大的封装上提供了多达 16 个输入捕获/输出比较/PWM。通用计时器可以通过计时器链接功能与高级控制计时器一起工作, 以进行同步或事件链化。他们的计数器可以在调试模式下冻结。任何通用计时器都可用于生成 PWM 输出。他们都有独立的 DMA 请求生成。

这些计时器能够处理正交 (增量) 编码器信号和 1 到 3 个霍尔效应传感器的数字输出。

基本计时器 TIM6 和 TIM7

这些计时器主要用于 DAC 触发器生成。它们也可以用作通用的 16 位时间基。

独立监督机构

独立看门狗基于 12 位下计数器和 8 位预标器。它从独立的 40 kHz 内部 RC 时钟, 由于它独立于主时钟运行, 它可以在停止和待机模式下运行。它既可以用作在发生问题时重置设备的看门狗, 也可以用作应用程序超时管理的免费运行计时器。它是可通过选项字节配置的硬件或软件。计数器可以在调试模式下冻结。

⑤口看门狗

⑤口看门狗基于一个 7 位下柜台, 可以设置为自由运行。当出现问题时, 它可以用作监视狗来重置设备。它从...打卡



the main clock. It has an early warning interrupt capability and the counter can be frozen in debug mode.

SysTick timer

This timer is dedicated to real-time operating systems, but could also be used as a standard down counter. It features:

- A 24-bit down counter
- Autoreload capability
- Maskable system interrupt generation when the counter reaches 0.
- Programmable clock source

2.3.18 I²C bus

Up to two I²C bus interfaces can operate in multimaster and slave modes. They can support standard and fast modes.

They support 7/10-bit addressing mode and 7-bit dual addressing mode (as slave). A hardware CRC generation/verification is embedded.

They can be served by DMA and they support SMBus 2.0/PMBus.

2.3.19 Universal synchronous/asynchronous receiver transmitters (USARTs)

The STM32F103xC, STM32F103xD and STM32F103xE performance line embeds three universal synchronous/asynchronous receiver transmitters (USART1, USART2 and USART3) and two universal asynchronous receiver transmitters (UART4 and UART5).

These five interfaces provide asynchronous communication, IrDA SIR ENDEC support, multiprocessor communication mode, single-wire half-duplex communication mode and have LIN Master/Slave capability.

The USART1 interface is able to communicate at speeds of up to 4.5 Mbit/s. The other available interfaces communicate at up to 2.25 Mbit/s.

USART1, USART2 and USART3 also provide hardware management of the CTS and RTS signals, Smart Card mode (ISO 7816 compliant) and SPI-like communication capability. All interfaces can be served by the DMA controller except for UART5.

2.3.20 Serial peripheral interface (SPI)

Up to three SPIs are able to communicate up to 18 Mbits/s in slave and master modes in full-duplex and simplex communication modes. The 3-bit prescaler gives 8 master mode frequencies and the frame is configurable to 8 bits or 16 bits. The hardware CRC generation/verification supports basic SD Card/MMC modes.

All SPIs can be served by the DMA controller.

2.3.21 Inter-integrated sound (I²S)

Two standard I²S interfaces (multiplexed with SPI2 and SPI3) are available, that can be operated in master or slave mode. These interfaces can be configured to operate with 16/32 bit resolution, as input or output channels. Audio sampling frequencies from 8 kHz up to 48 kHz are supported. When either or both of the I²S interfaces is/are configured in master

mode, the master clock can be output to the external DAC/CODEC at 256 times the sampling frequency.

2.3.22 SDIO

An SD/SDIO/MMC host interface is available, that supports MultiMediaCard System Specification Version 4.2 in three different databus modes: 1-bit (default), 4-bit and 8-bit. The interface allows data transfer at up to 48 MHz in 8-bit mode, and is compliant with SD Memory Card Specifications Version 2.0.

The SDIO Card Specification Version 2.0 is also supported with two different databus modes: 1-bit (default) and 4-bit.

The current version supports only one SD/SDIO/MMC4.2 card at any one time and a stack of MMC4.1 or previous.

In addition to SD/SDIO/MMC, this interface is also fully compliant with the CE-ATA digital protocol Rev1.1.

2.3.23 Controller area network (CAN)

The CAN is compliant with specifications 2.0A and B (active) with a bit rate up to 1 Mbit/s. It can receive and transmit standard frames with 11-bit identifiers as well as extended frames with 29-bit identifiers. It has three transmit mailboxes, two receive FIFOs with 3 stages and 14 scalable filter banks.

2.3.24 Universal serial bus (USB)

The STM32F103xC, STM32F103xD and STM32F103xE performance line embed a USB device peripheral compatible with the USB full-speed 12 Mbs. The USB interface implements a full-speed (12 Mbit/s) function interface. It has software-configurable endpoint setting and suspend/resume support. The dedicated 48 MHz clock is generated from the internal main PLL (the clock source must use a HSE crystal oscillator).

2.3.25 GPIOs (general-purpose inputs/outputs)

Each of the GPIO pins can be configured by software as output (push-pull or open-drain), as input (with or without pull-up or pull-down) or as peripheral alternate function. Most of the GPIO pins are shared with digital or analog alternate functions. All GPIOs are high current-capable.

The I/Os alternate function configuration can be locked if needed following a specific sequence in order to avoid spurious writing to the I/Os registers.

2.3.26 ADC (analog to digital converter)

Three 12-bit analog-to-digital converters are embedded into STM32F103xC, STM32F103xD and STM32F103xE performance line devices and each ADC shares up to 21 external channels, performing conversions in single-shot or scan modes. In scan mode, automatic conversion is performed on a selected group of analog inputs.

Additional logic functions embedded in the ADC interface allow:

- Simultaneous sample and hold
- Interleaved sample and hold
- Single shunt

The ADC can be served by the DMA controller.

An analog watchdog feature allows very precise monitoring of the converted voltage of one, some or all selected channels. An interrupt is generated when the converted voltage is outside the programmed thresholds.

The events generated by the general-purpose timers (TIMx) and the advanced-control timers (TIM1 and TIM8) can be internally connected to the ADC start trigger and injection trigger, respectively, to allow the application to synchronize A/D conversion and timers.

2.3.27 DAC (digital-to-analog converter)

The two 12-bit buffered DAC channels can be used to convert two digital signals into two analog voltage signal outputs. The chosen design structure is composed of integrated resistor strings and an amplifier in inverting configuration.

This dual digital Interface supports the following features:

- two DAC converters: one for each output channel
- 8-bit or 12-bit monotonic output
- left or right data alignment in 12-bit mode
- synchronized update capability
- noise-wave generation
- triangular-wave generation
- dual DAC channel independent or simultaneous conversions
- DMA capability for each channel
- external triggers for conversion
- input voltage reference V_{REF+}

Eight DAC trigger inputs are used in the STM32F103xC, STM32F103xD and STM32F103xE performance line family. The DAC channels are triggered through the timer update outputs that are also connected to different DMA channels.

2.3.28 Temperature sensor

The temperature sensor has to generate a voltage that varies linearly with temperature. The conversion range is between $2\text{ V} < V_{DDA} < 3.6\text{ V}$. The temperature sensor is internally connected to the ADC1_IN16 input channel which is used to convert the sensor output voltage into a digital value.

2.3.29 Serial wire JTAG debug port (SWJ-DP)

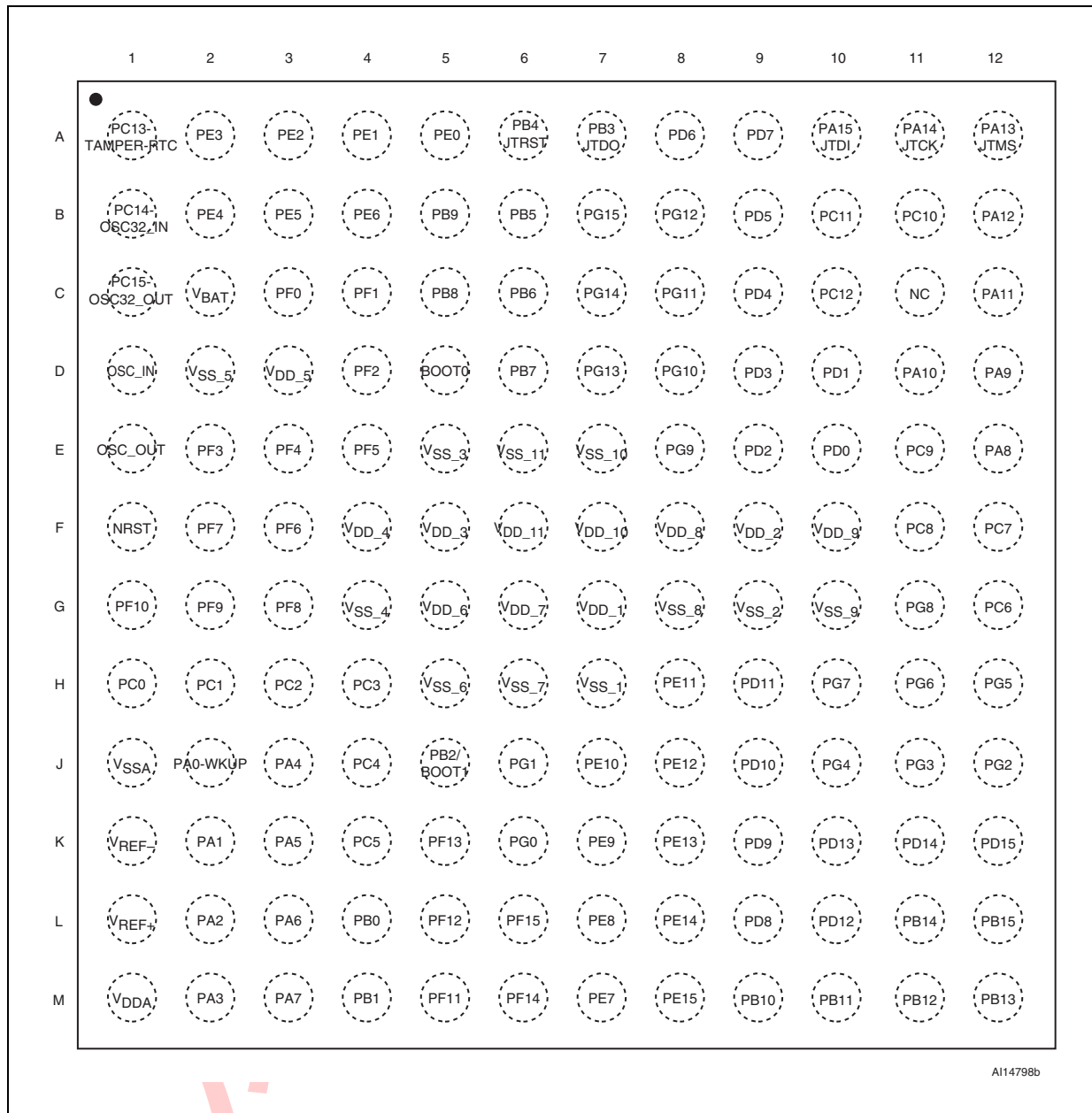
The Arm SWJ-DP Interface is embedded, and is a combined JTAG and serial wire debug port that enables either a serial wire debug or a JTAG probe to be connected to the target. The JTAG TMS and TCK pins are shared respectively with SWDIO and SWCLK and a specific sequence on the TMS pin is used to switch between JTAG-DP and SW-DP.

2.3.30 Embedded Trace Macrocell™

The Arm® Embedded Trace Macrocell provides a greater visibility of the instruction and data flow inside the CPU core by streaming compressed data at a very high rate from the STM32F10xxx through a small number of ETM pins to an external hardware trace port analyzer (TPA) device. The TPA is connected to a host computer using USB, Ethernet, or any other high-speed channel. Real-time instruction and data flow activity can be recorded and then formatted for display on the host computer running debugger software. TPA hardware is commercially available from common development tool vendors. It operates with third party debugger software tools.

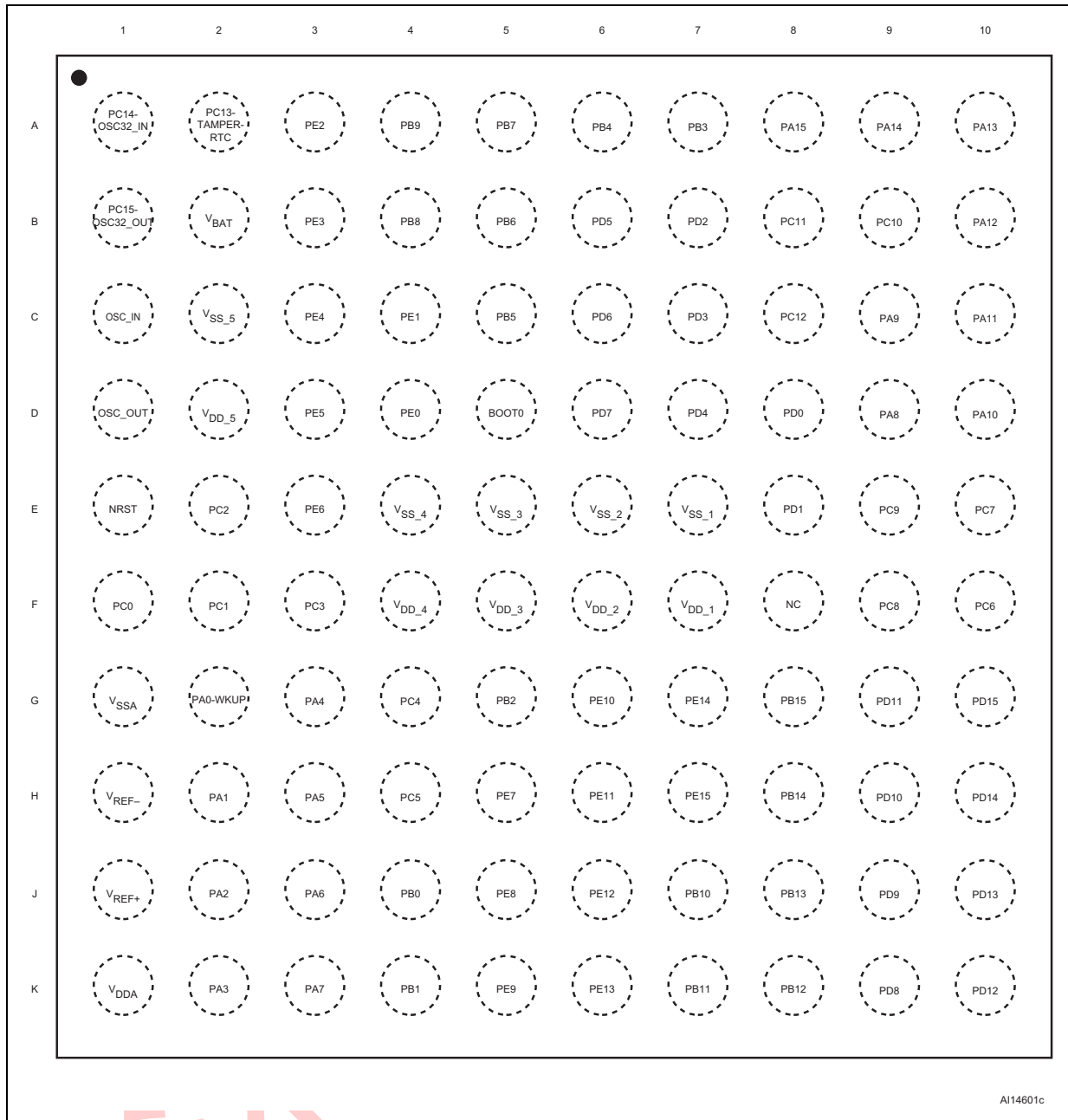
3 Pinouts and pin descriptions

Figure 3. STM32F103xC/D/E BGA144 ballout



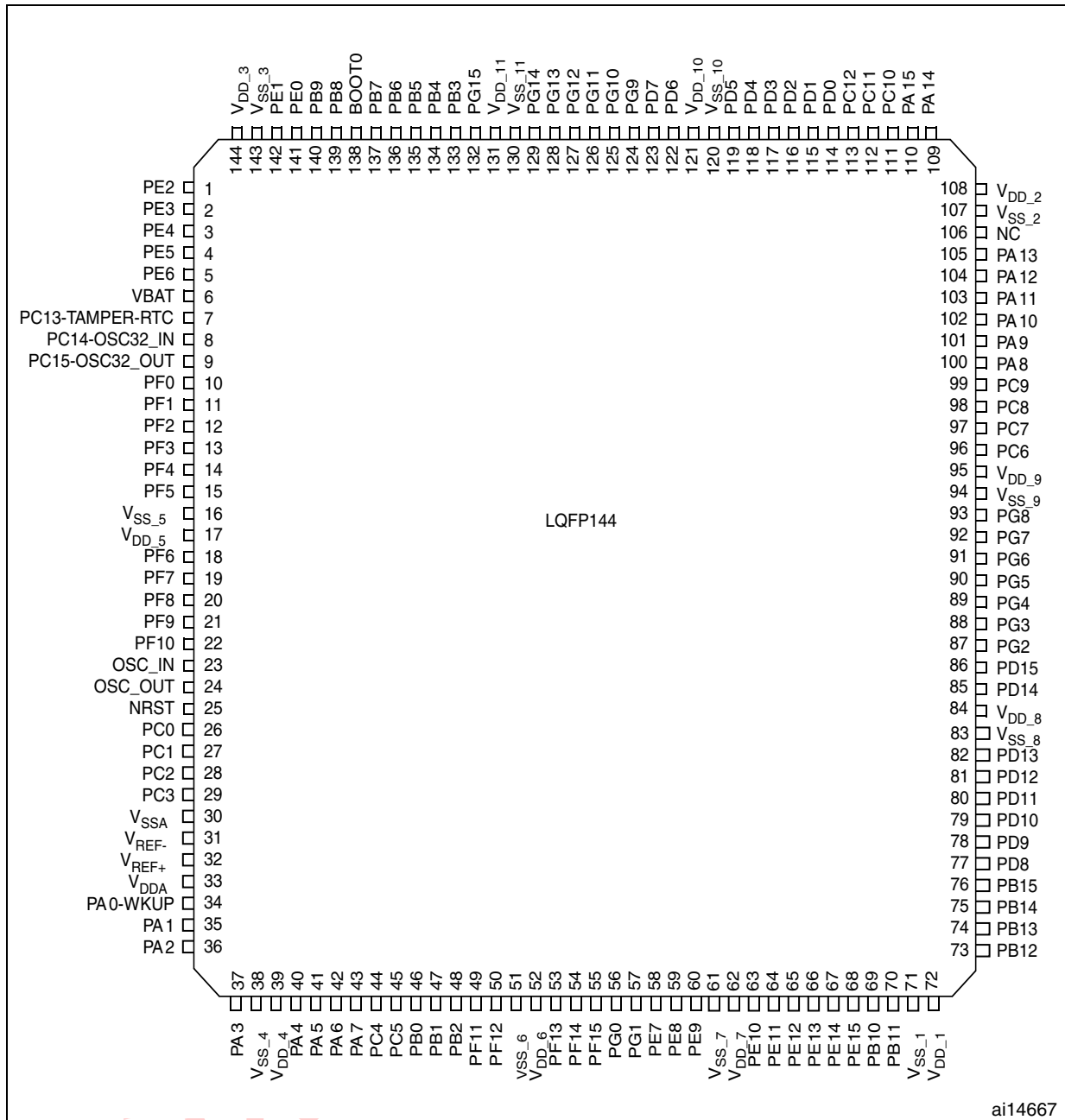
1. The above figure shows the package top view.

Figure 4. STM32F103xC/D/E performance line BGA100 ballout



1. The above figure shows the package top view.

Figure 5. STM32F103xC/D/E performance line LQFP144 pinout

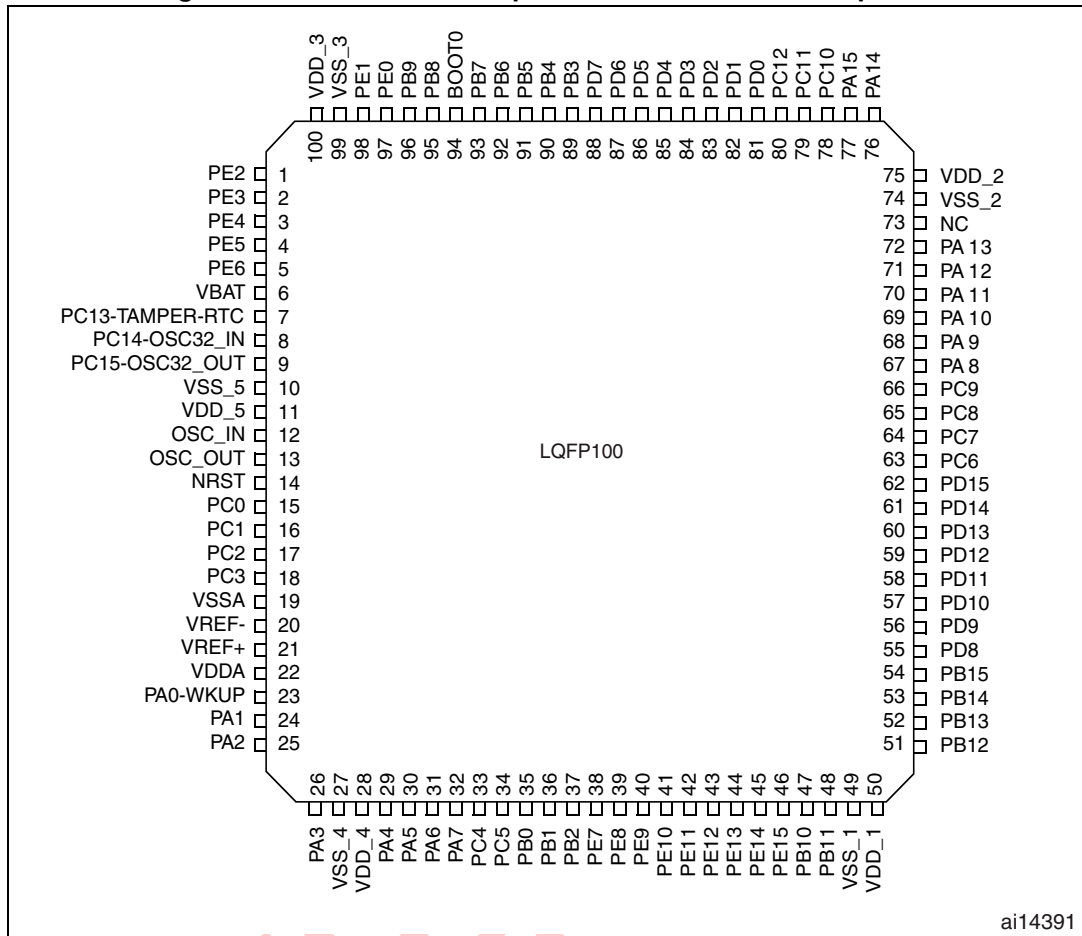


ai14667

1. The above figure shows the package top view.

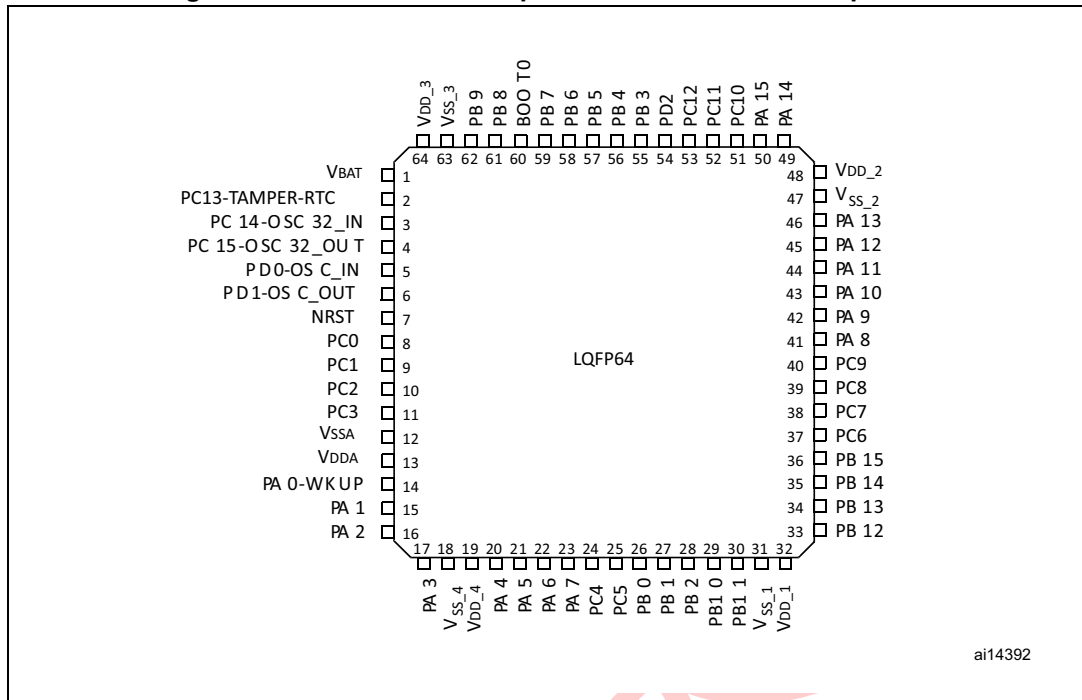


Figure 6. STM32F103xC/D/E performance line LQFP100 pinout



1. The above figure shows the package top view.

Figure 7. STM32F103xC/D/E performance line LQFP64 pinout



1. The above figure shows the package top view.

Figure 8. STM32F103xC/D/E performance line
WLCSP64 ballout, ball side

