

# MC68HC908GP32

数据表

***M68HC08***  
***Microcontrollers***

MC68HC908GP32  
Rev. 10  
1/2008

[freescale.com](http://freescale.com)



## MC68HC908GP32

### 数据表

---

为了提供最新的信息，我们在万维网上对文件的修订将是最新的。您的打印副本可能是较早的修订。若要验证您是否有可用的最新信息，请参阅：

<http://freescale.com>

下面的修订历史记录表汇总了此文档中包含的更改。为方便起见，页码指示符已链接到适当的位置。

Freescale™和Freescale标志是Freescale半导体公司的商标。该产品采用ST许可的SuperFlash®技术。

©飞思卡尔半导体有限公司，2001、2006、2008。版权所有。

MC68HC908GP32 数据床单，牧师。

修订历史

修订历史

日期	修订水平	描述	页码
2001年7月	5	在表15-1中,“注释”栏的第二个单元格,将PTC更正为PTC1。	199
		在图21-2时基控制寄存器中,位0是保留位。	337
		更新23.17.1 CGM组件规格中的晶体振荡器组件值。	387
		增加附录A:MC68HC08GP32-ROM部分。	397
2002年8月	6	第22款。定时器接口模块(TIM)-定时器差异在本节中得到纠正。	341
		第24款。机械规范。更换了不正确的44针QFP图,壳体824E到壳体824A。	393
2005年8月	6.1	更新以满足飞思卡尔身份指南。	贯穿始终
2006年3月	7	3.5时钟发生器模块(CGM)-更新的描述,以删除错误的信息。	46
		19.16.1 CGM组件规范-更新以反映正确的值。	250
2007年4月	8	12.5.1端口D数据寄存器-校正了从选择(SS)位的描述。 —	123
2007年6月	9	从未释放。错别字。	N/A
2008年1月	10	删除了重置和中断一章,因为它是多余的	N/A
		第2章移除内存的DMA位引用	N/A
		第2章内存集成RAM和FLASH部分	N/A
		2.6闪存-更新的闪存擦除、编程和块保护信息	38
		4.7.1 ADC状态和控制寄存器校正COCO位描述	56
		9.4中断-更新的外部中断模块信息	103
		第10章键盘中断(KBI)模块-更新的KBI模块信息	105
		第12章输入/输出(I/O)端口-添加的未使用引脚注	115
		第13章串行通信接口模块(SCI)-移除DMA参考	131
		图13-1。SCI模块框图-替换SCI框图	133
图13-4。SCI发射机框图-替换的SCI发射机框图	135		

MC68HC908GP32 数据床单, 牧师。

深圳市南天星

MC68HC908GP32 数据床单，牧师。

## 修订历史

日期	修订水平	描述	页码
2008年1月	10	图13-5。SCI接收机框图-替换的SCI接收机框图	138
		第14章系统集成模块(SIM)-校正的中断、中断和SBSW位描述	157
		14.7.2 SIM重置状态寄存器-更新的SIM重置状态寄存器信息	172
		第15章串行外设接口模块(SPI)-删除IIC参考	175
		第15章串行外设接口模块(SPI)-移除DMA参考	175
		图15-2。SPI模块框图-替换后的SPI模块框图	177
		表17-3。模式、边缘和级别选择-添加软件输出与模式表的比较	212
		第18章开发支持-将中断模块和监控模式章节集成到开发支持章节	215

## 第1章 一般描述

### 1.1 介绍

MC68HC908GP32是低成本、高性能的M68HC08系列8位微控制器中的一员。该系列中的所有MCU都使用增强型M68HC08中央处理器单元(CPU08)，并具有多种模块、内存大小和类型以及封装类型。

### 1.2 特征

为了方便起见，对特性进行了组织，以反映：

- MC68HC908GP32的标准特性
- CPU08的特性

#### 1.2.1 MC68HC908GP32的标准特性

- 面向C编译器优化的高性能M68HC08体系结构
- 与M6805、M146805和M68HC05系列完全向上兼容的目标代码
- 8MHz内部总线频率
- FLASH程序内存安全 (1)
- 芯片上编程固件，与主机一起使用，不需要高电压进入
- 系统内程序设计
- 系统保护特性：
  - 可选计算机正常运行(COP)复位
  - 低电压检测，可选复位和跳闸点，适用于3.0V和5.0V工作
  - 带复位的非法操作码检测
  - 带复位的非法地址检测
- 低功耗设计；具有停止和等待模式的完全静态
- 标准低功耗操作模式：
  - 等待模式
  - 停止模式
- 主复位引脚和上电复位(POR)
- 32 K字节片上闪存，具有闪存程序存储器的在线编程能力
- 512字节的片上随机存取存储器(RAM)
- 串行外设接口模块
- 串行通信接口模块

1. 没有任何安全功能是绝对安全的。然而，飞思卡尔的策略是让未经授权的用户难以阅读或复制FLASH。

## 一般描述

- 两个16位、2通道定时器接口模块(TIM1和TIM2)，每个通道具有可选的输入捕获、输出比较和PWM功能
- 8通道、8位逐次逼近模数转换器(ADC)
- 中断模块(BRK)，允许在电路内调试期间设置单个断点
- 内部提升IRQ和RST以降低客户系统成本
- 具有32 kHz晶体兼容锁相环的片内时钟发生器模块
- 多达33个通用输入/输出(I/O)引脚，包括：
  - 26个共享功能I/O引脚
  - 五个或七个专用I/O引脚，取决于封装选择
- 仅在端口A、C和D上的输入上可选择的拉拔。选择是在单个端口位的基础上进行的。在输出模式下，拉拔器脱离。
- 所有端口引脚上的大电流10毫安信源/10毫安源极能力
- PTC0-PTC4的高电流15毫安接收器/源能力
- 时基模块，具有时钟预分频器电路，用于八个用户可选择的周期性实时中断，在停止模式期间可选的活动时钟源，用于使用外部32-kHz晶体从停止中周期性唤醒
- 配置寄存器中的振荡器停止模式使能位(OSCSTOPENB)，允许用户选择在停止模式期间使能或禁用振荡器
- 8位键盘唤醒端口
- 40引脚塑料双列直插封装(PDIP)、42引脚收缩双列直插封装(SDIP)或44引脚四方扁平封装(QFP)
- 40引脚PDIP中的MC68HC908GP32的具体特性如下：
  - 端口C只有5位:PTC0-PTC4
  - 端口D只有6位:PTD0-PTD5；单通道TIM模块
- 42引脚SDIP中的MC68HC908GP32的具体特性如下：
  - 端口C只有5位:PTC0-PTC4
  - 端口D为8位:PTD0-PTD7；双通道TIM模块
- 采用44引脚QFP的MC68HC908GP32的具体特性如下：
  - 端口C为7位:PTC0-PTC6
  - 端口D为8位:PTD0-PTD7；双通道TIM模块

### 1.2.2 CPU08的特性

CPU08的特性包括：

- 增强的HC05规划模型
- 广泛的回路控制功能
- 16种寻址模式（比HC05多8种）
- 16位索引寄存器和堆栈指针
- 内存到内存数据传输
- ×快速8 8乘法指令
- 快速16/8除法指令
- 二进制编码十进制(BCD)指令
- 控制器应用的优化
- 高效的C语言支持

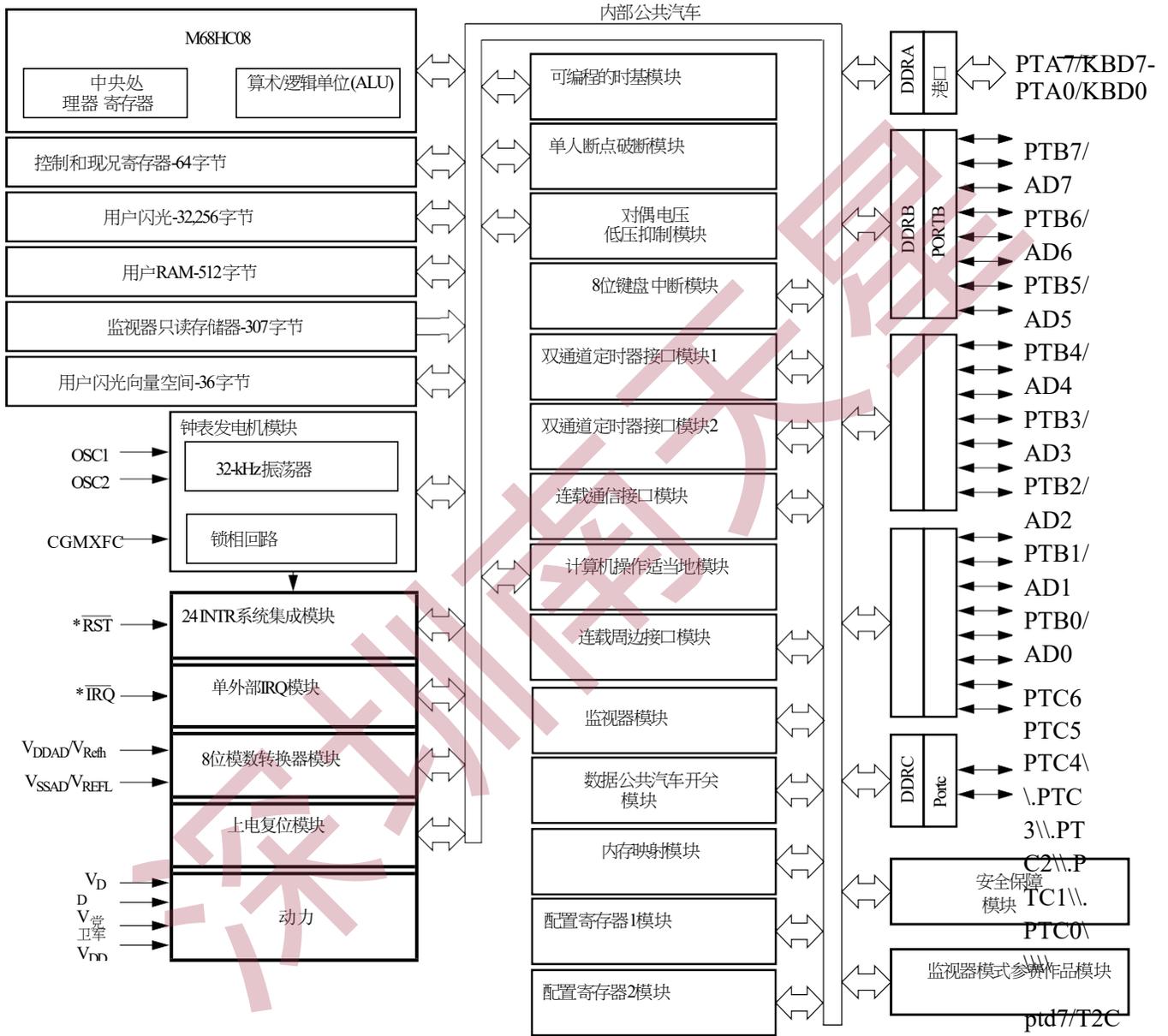
深圳市南天星

MC68HC908GP32 数据床单，牧师。

### 1.3 单片机框图

图1-

1显示了MC68HC908GP32的结构。模块块中括号内的文本指示模块名称。信号旁边括号中的文本表示使用该信号的模块。



在输入端口时，端口可通过上拉装置进行软件配置。

高电流驱动端口引脚

\*引脚包含集成上拉装置

0/SS||

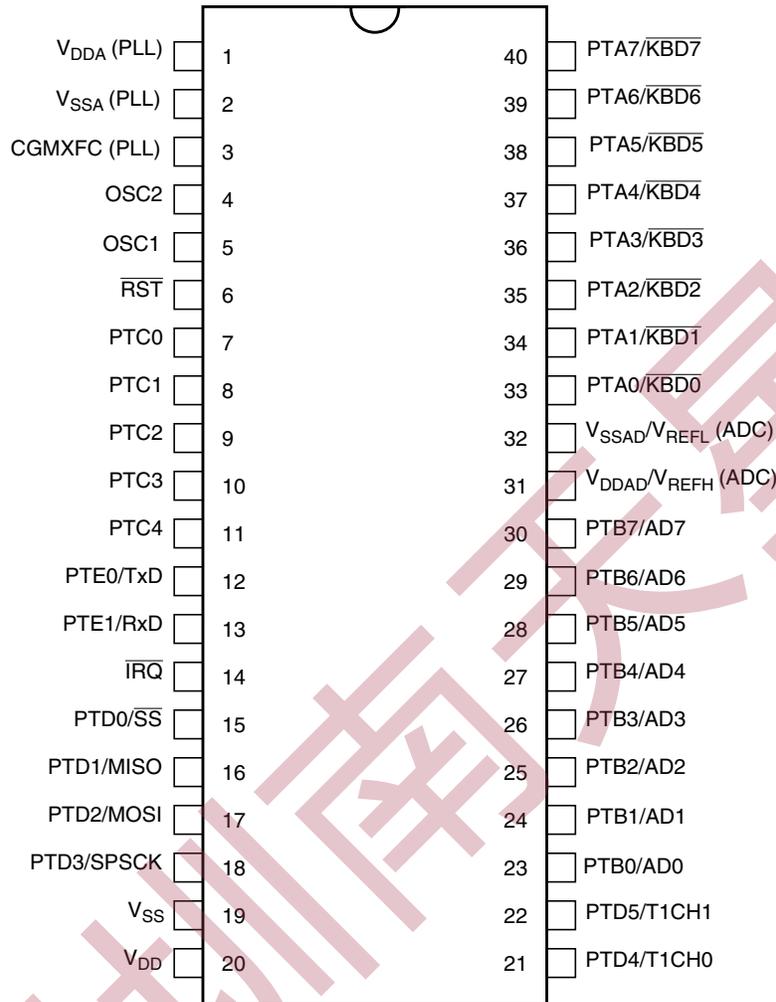
PTE1/RXD PTE0/TXD

DDRE  
波特

图1-1。单片机框图

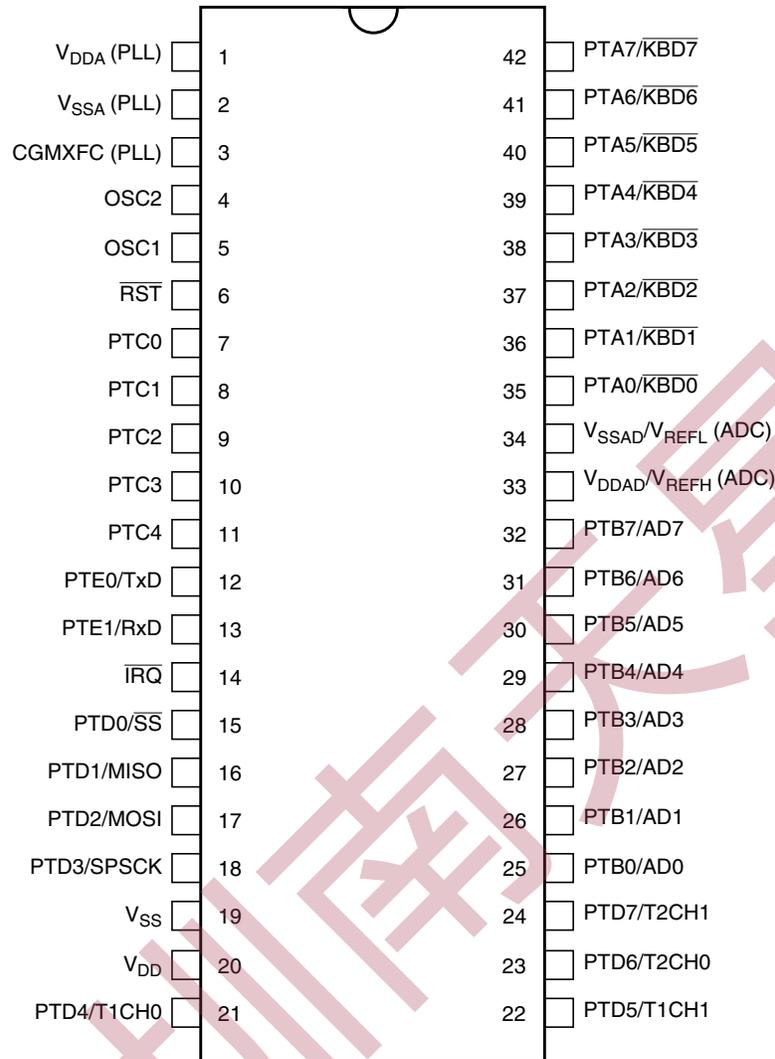
深圳市南天星

## 1.4 Pin Assignments



Pins Not Available on 40-Pin Package	Internal Connection
PTC5	Connected to ground
PTC6	Connected to ground
PTD6/T2CH0	Unconnected
PTD7/T2CH1	Unconnected

Figure 1-2. 40-Pin PDIP Pin Assignments



Pins Not Available on 42-Pin Package	Internal Connection
PTC5	Connected to ground
PTC6	Connected to ground

Figure 1-3. 42-Pin SDIP Pin Assignments

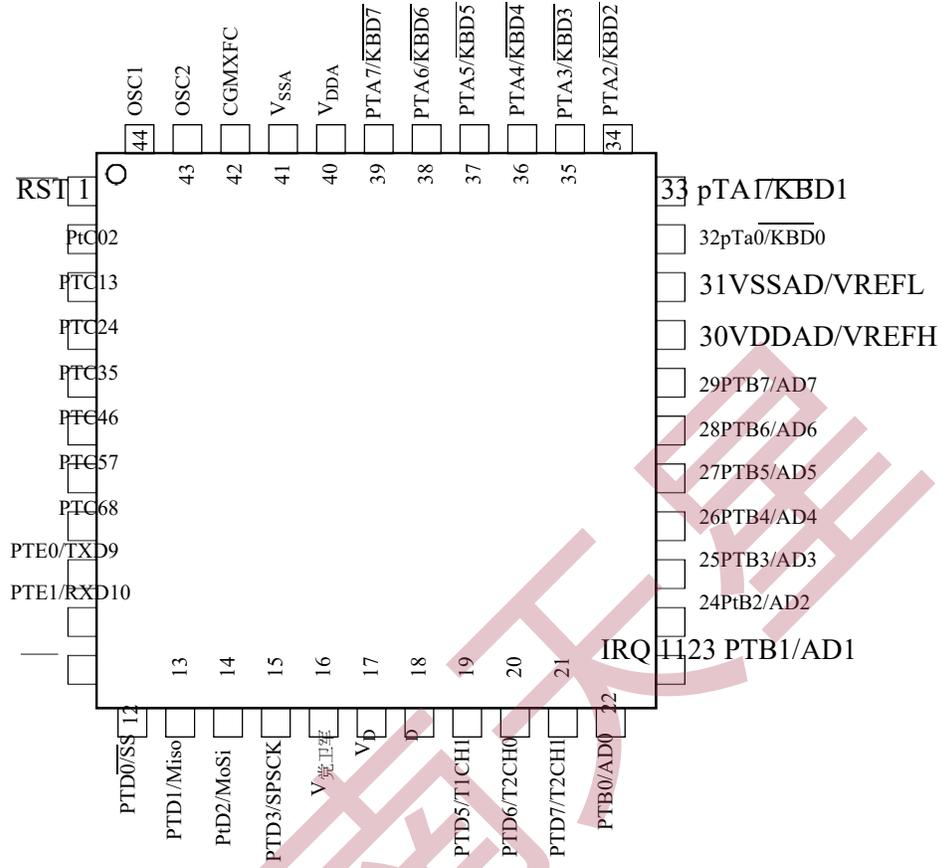


图1-4. 44引脚QFP引脚分配

## 1.5 引脚功能

这里提供了引脚功能的描述。

### 1.5.1 电源引脚（VDD和VSS）

VDD和VSS是电源和接地引脚。MCU由单电源供电。

MCU引脚上的快速信号转换对电源产生了高、短持续时间的电流需求。为了防止噪声问题，请特别注意在MCU旁路电源，如图1-5所示。将C1旁路电容尽可能靠近MCU。对C1使用高频响应陶瓷电容器。C2是一种可选的大电流旁路电容，适用于需要端口引脚提供高电流电平的应用。

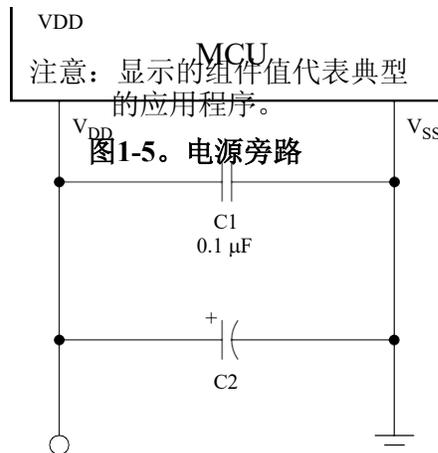


图1-5. 电源旁路

### 1.5.2 振荡器引脚(OSC1和OSC2)

OSC1和OSC2引脚是片上振荡器电路的连接。参见第5章时钟发生器模块(CGM)。

### 1.5.3 外部复位引脚(RST)

RST引脚的低电平迫使MCU进入已知的启动状态。RST是双向的，允许整个系统的重置。当任何内部复位源被断言时，它被驱动为低电平。此引脚包含一个内部上拉电阻。参见第14章系统集成模块(SIM)。

### 1.5.4 外部中断引脚

IRQ是一个异步外部中断引脚。此引脚包含一个内部上拉电阻。参见第9章外部中断(IRQ)。

### 1.5.5 CGM电源引脚(VDDA和VSSA)

VDDA和VSSA是时钟发生器模块(CGM)模拟部分的电源引脚。将VDDA引脚连接到与VDD相同的电压电位，将VSSA引脚连接到与VSS相同的电压电位。这些引脚的去耦应根据数字电源。参见第5章时钟发生器模块(CGM)。

### 1.5.6 外部滤波电容引脚(CGMXFC)

CGMXFC是用于CGM的外部滤波电容连接。参见第5章时钟发生器模块(CGM)。

### 1.5.7 ADC电源/基准引脚(VDDAD/VREFH和VSSAD/VREFL)

VDDAD和VSSAD是模数转换器(ADC)的电源引脚。将VDDAD引脚连接到与VDD相同的电压电位，将VSSAD引脚连接到与VSS相同的电压电位。

这些引脚的去耦应根据数字电源。参见第4章模数转换器(ADC)。

VREFH是ADC的高参考电源，内部连接到VDDAD。VREFL是ADC的低参考电源，内部连接到VSSAD。

### 1.5.8 A端口输入/输出(I/O)引脚(PTA7/KBD7-PTA0/KBD0)

PTA7-

PTA0是通用的双向I/O端口引脚。任何或所有的A端口引脚都可以被编程为作为键盘中断引脚。参见第12章输入/输出(I/O)端口和第10章键盘中断(KBI)模块。

当配置为输入模式时，这些端口引脚也有可选择的拉拔。当配置为输出模式时，拉拔器将脱离。所述拉拔器可在单个端口位的基础上进行选择。

### 1.5.9 端口B I/O引脚(PTB7/AD7-PTB0/AD0)

PTB7-

PTB0是通用双向I/O端口引脚，也可用于模数转换器(ADC)输入。参见第12章输入/输出(I/O)端口和第4章模数转换器(ADC)。

### 1.5.10 端口C I/O引脚(PTC6-PTC0)

PTC6-

PTC0是通用的双向I/O端口引脚。参见第12章输入/输出(I/O)端口。PTC5和PTC6仅在44引脚QFP封装上提供。

当配置为输入模式时，这些端口引脚也有可选择的拉拔。当配置为输出模式时，拉拔器将脱离。所述拉拔器可在单个端口位的基础上进行选择。

### 1.5.11 端口D I/O引脚(PTD7/T2CH1-PTD0/SS)

PTD7-PTD0是特殊功能，双向I/O端口引脚。PTD0-PTD3可编程为串行外围接口(SPI)引脚，而PTD4-PTD7可单独编程为定时器接口模块(TIM1和TIM2)引脚。参见第17章定时器接口模块(TIM)、第15章串行外设接口模块(SPI)和第12章输入/输出(I/O)端口。PTD6和PTD7仅提供42-SDIP和44引脚QFP封装。

当配置为输入模式时，这些端口引脚也有可选择的拉拔。当配置为输出模式时，拉拔器将脱离。所述拉拔器可在单个端口位的基础上进行选择。

### 1.5.12 端口E I/O引脚(PTE1/RXD-PTE0/TXD)

PTE0-

PTE1是通用的双向I/O端口引脚。这些引脚也可以编程为串行通信接口(SCI)引脚。参见第13章串行通信接口模块(SCI)和第12章输入/输出(I/O)端口。

## 第二章 记忆

### 2.1 介绍

CPU08可以寻址64K字节的内存空间。图2-1所示的内存映射包括：

- 32,256字节的用户闪存
- 512字节随机存取存储器(RAM)
- 36字节的用户定义向量
- 307字节的监视器ROM

### 2.2 未实现的内存位置

访问未实现的位置可能导致非法地址重置。在内存映射（图2-1）和本文档中的寄存器图中，未实现的位置被阴影化。

### 2.3 保留内存位置

访问一个保留的位置可能会对MCU的操作产生不可预测的影响。在图2-1和本文件中的注册图中，保留位置用保留或字母R标记。

### 2.4 输入/输出 (I/O) 部分

大多数控件、状态和数据寄存器位于\$0000-\$003F的零页区域。其他I/O寄存器具有以下地址：

- Fe00美元；SIM卡中断状态寄存器
- Fe01美元；复位状态寄存器
- Fe02美元；苏巴尔保留
- Fe03美元；断标志控制寄存器
- Fe04美元；中断状态寄存器1，INT1
- Fe05美元；中断状态寄存器2，INT2
- \$FE06；中断状态寄存器3，INT3
- \$FE07；保留
- Fe08美元；闪存控制寄存器
- Fe09美元；中断地址寄存器高电平，BRKH
- \$Fe0a；中断地址寄存器低电平，BRKL
- Fe0b美元；中断状态和控制寄存器
- \$Fe0c；状态寄存器
- \$FF7E；闪存块保护寄存器
- \$FFFF；控制寄存器

数据寄存器如图2-2所示。表2-1是向量位置的列表。

\$0000 ↓ \$003f	I/O Registers 64 Bytes
0040美元 ↓ 023f美元	RAM 512 Bytes
\$0240 ↓ 7FFF美元	Unimplemented 32,192 Bytes
8000美元 ↓ \$FDFE	FLASH Memory 32,256 Bytes
\$Fe00	SIM Break Status Register (SBSR)
\$Fe01	SIM Reset Status Register (SRSR)
Fe02美元	Reserved (SUBAR)
\$Fe03	SIM Break Flag Control Register (SBFCR)
\$Fe04	Interrupt Status Register 1 (INT1)
FE05美元	Interrupt Status Register 2 (INT2)
\$FE06	Interrupt Status Register 3 (INT3)
\$FE07	Reserved
\$FE08	FLASH Control Register (FLCR)
Fe09美元	Break Address Register High (BRKH)
\$Fe0a	Break Address Register Low (BRKL)
\$Fe0b	Break Status and Control Register (BRKSCR)
\$Fe0c	LVI Status Register (LVISR)
\$FE0D ↓ \$FE0F	Unimplemented 3 Bytes
\$FE10 ↓ \$fe1f	Unimplemented 16 Bytes Reserved for Compatibility with Monitor Code for A-Family Parts
\$FE20 ↓ \$FF52	Monitor ROM 307 Bytes
\$FF53 ↓ \$FF7d	Unimplemented 43 Bytes
\$FF7e	FLASH Block Protect Register (FLBPR)
\$FF7F ↓ \$FFDB	Unimplemented 93 Bytes
\$FFDC ↓ \$FFFF	FLASH Vectors 36 Bytes

注:\$FFF6-  
\$FFFD保留用  
于  
8个安全字节

图2-1。内存映射  
MC68HC908GP32 数据手册，教师。

## 2.5 随机存取存储器

本节介绍512字节的RAM（随机存取内存）。

地址\$0040到\$023F是RAM位置。堆栈RAM的位置是可编程的。16位堆栈指针允许堆栈位于64K字节内存空间中的任何位置。

### 注

为了正确的操作，堆栈指针必须只指向RAM位置。

第0页中有192字节的RAM。因为堆栈RAM的位置是可编程的，所以所有页零RAM位置都可以用于I/O控制和用户数据或代码。当堆栈指针从零页\$00FF的复位位置移出时，直接寻址模式指令可以有效地访问所有零页RAM位置。因此，零页RAM为经常访问的全局变量提供了理想的位置。

在处理中断之前，CPU使用堆栈的五个字节来保存CPU寄存器的内容。

### 注

对于M6805兼容性，H寄存器不堆叠。

在子程序调用期间，CPU使用堆栈的两个字节来存储返回地址。堆栈指针在推入时递减，在拉入时递增。

### 注

使用嵌套子程序时要小心。CPU可以在子程序期间或在中断堆叠操作期间覆盖RAM中的数据。

## 2.6 闪存

本小节描述嵌入式闪存的操作。该存储器可以从单个外部电源读取、编程和擦除。编程、擦除和读取操作是通过使用内部电荷泵来实现的。

### 2.6.1 功能描述

闪存是一个32,256字节的数组，另外还有36字节的用户向量和一个字节的块保护。擦除位读为1，编程位读为0。闪存阵列中的存储器被组织成每页两行。页面大小为每页128字节。因此，最小擦除页大小为128字节，最小程序行大小为64字节。通过FLASH控制寄存器(FLCR)中的控制位来促进编程和擦除操作。这些操作的详细信息将在本节后面部分显示。用户存储器、控制寄存器和向量的地址范围为：

- \$8000-\$FDFF；用户记忆。
- \$FF7E；闪存块保护寄存器。
- Fe08美元；闪存控制寄存器。
- \$FFDC-\$FFFF；这些位置是为用户定义的中断和复位向量保留的。

可从飞思卡尔获得编程工具。请联系您当地的飞思卡尔代表了解更多信息。

**注**

一个安全特征防止查看FLASH内容。(1)

## 2.6.2 闪存控制寄存器

闪存控制寄存器(FLCR)控制闪存程序和擦除操作。

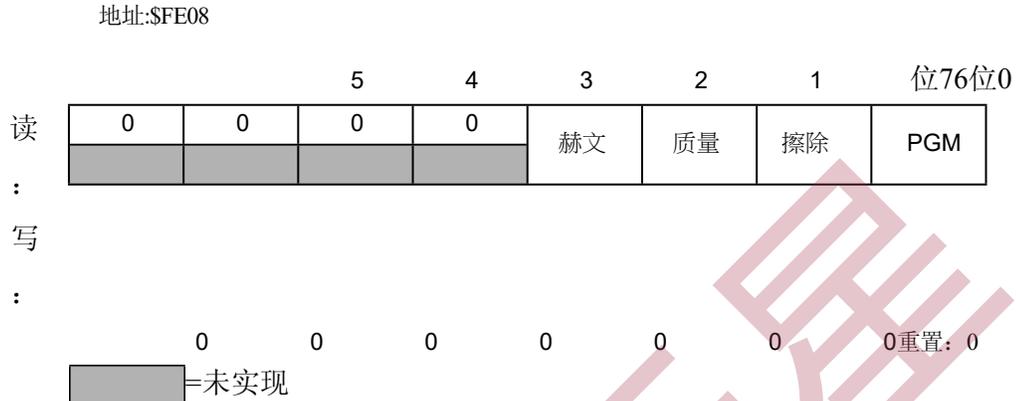


图2-3。闪存控制寄存器

### 高压使能位

此读/写位使电荷泵能够驱动高电压，用于阵列中的编程和擦除操作。只有在PGM=1或ERASE=1且遵循程序或擦除的正确顺序时，才能设置HVEN。

1=高电压使能阵列和电荷泵接通  
0=高电压禁用阵列和电荷泵关闭

### 质量-质量擦除控制位

设置此读/写位可配置32K字节闪存阵列进行大规模擦除操作。

1=选择大量擦除操作  
0=选择页面擦除操作

### 擦除-擦除控制位

该读/写位配置存储器进行擦除操作。擦除与PGM位互锁，使得两位不能同时等于1或设置为1。

1=已选择擦除操作  
0=未选择擦除操作

### 程序控制位

这个读/写位为程序操作配置存储器。PGM与擦除位互锁，使得两位不能同时等于1或设置为1。

1=选定的程序操作  
0=未选择程序操作

## 2.6.3 闪存页面擦除操作

使用这个逐步的过程擦除一页（128字节）的闪存。

1. 设置擦除位，清除闪存控制寄存器中的质量位。
2. 读取闪存块保护寄存器。
3. 将任何数据写入要擦除的块的页地址范围内的任何闪存位置。
4.  $\mu$ 等待一段时间， $t_{nvs}$ （最小10秒）
5. 设置HVEN位。

MC68HC908GP32 数据床单，牧师。

1. 没有任何安全功能是绝对安全的。然而，飞思卡尔的策略是让未经授权的用户难以阅读或复制FLASH

。

深圳市南天星

MC68HC908GP32 数据床单，牧师。

6. 等待一段时间（最短1毫秒或4毫秒）
7. 清除擦除位。
8.  $\mu$ 等待一段时间， $t_{nvh}$ （最小5秒）
9. 清除HVEN部分。
10.  $\mu$ 一段时间后， $trcv$ （典型的1秒），存储器可以在读模式下再次访问。

#### 注

不能通过从闪存中执行的代码来执行闪存位置的编程和擦除。虽然这些操作必须按照所示的顺序执行，但在这些步骤之间可能会发生其他不相关的操作。

在需要超过1000个编程/擦除周期的应用程序中，使用4-ms页面擦除规范可提高长期可靠性。任何应用程序都可以使用这个4-ms页面擦除规范。但是，在闪存位置的擦除和重编程次数少于1000次的应用程序中，速度非常重要，请使用1-ms页面擦除规范以获得更短的周期时间。

### 2.6.4 闪存质量擦除操作

使用这一步一步的过程来擦除整个闪存。

1. 设置闪存控制寄存器中的擦除位和质量位。
2. 读取闪存块保护寄存器。
3. 将任何数据写入闪存地址范围内的任何闪存地址（1）。
4.  $\mu$ 等待一段时间， $t_{nvs}$ （最小10秒）
5. 设置HVEN位。
6. 等待一段时间， $tMErase$ （最小4毫秒）
7. 清除擦除和质量位。

#### 注

当任何块受到保护时（ $FLBPR$ 不等于 $SFF$ ），大规模擦除被禁用。

8.  $\mu$ 等待一段时间， $t_{nvhl}$ （最小100秒）
9. 清除HVEN部分。
10.  $\mu$ 一段时间后， $trcv(\min.1s)$ ，存储器可以在读模式下再次访问。

#### 注

不能通过从闪存中执行的代码来执行闪存位置的编程和擦除。虽然这些操作必须按照所示的顺序执行，但在这些步骤之间可能会发生其他不相关的操作。

### 2.6.5 FLASH程序操作

闪存的编程是以行为基础进行的。一行由64个连续字节组成，从地址 $\$XX00$ 、 $\$XX40$ 、 $\$0080$ 和 $\$XXC0$ 开始。

1. 在监视器模式下，当安全序列失败（见18.3.2安全性）时，写入闪存块保护寄存器，而不是任何闪存地址。

在编程周期中，确保写入的所有地址都符合上面指定的范围之一。在一个编程周期内对不同行范围中的地址进行编程的尝试将失败。使用这一步一步的过程来编程一行闪存（图2-4是一个流程图表示）。

**注**

只有当前为\$ff的字节可以被编程。

1. 设置PGM位。这配置了用于程序操作的存储器，并允许锁存用于编程的地址和数据。
2. 从闪存块保护寄存器读取。
3. 将任何数据写入所需行地址范围内的任何闪存地址。
4.  $\mu$ 等待一段时间， $t_{nvs}$ （最小10秒）。
5. 设置HVEN位。
6.  $\mu$ 等待一段时间， $t_{pgs}$ （最小5秒）。
7. 将数据写入要编程的闪存地址。（见注）
8.  $\mu$ 等待一段时间， $t_{PROG}$ （最短30秒）。
9. 重复第7和第8步，直到该行内的所有字节都被编程完成。
10. 清除PGM位。（见注）
11.  $\mu$ 等待一段时间， $t_{nvh}$ （最短5秒）。
12. 清除HVEN部分。
13.  $\mu$ 在时间， $t_{RCV}$ （典型的1秒）之后，存储器可以再次以读模式访问。这个程序序列在整个存储器中重复，直到所有数据都被编程。

**注**

不能通过从同一闪存阵列执行的代码来执行闪存位置的编程和擦除。

**注**

虽然这些操作必须按照所示的顺序执行，但在这些步骤之间可能会发生其他不相关的操作。必须在FLASH阵列内存空间内小心，例如\$FFFF的COP控制寄存器(COPCTL)。

**注**

强烈建议在编程/擦除操作期间禁用中断。

**注**

不要超过 $t_{PROG}$ 最大值或 $t_{HV}$ 最大值。 $t_{HV}$ 被定义为下一次擦除前到同一行的累积高压编程时间。 $t_{HV}$ 必须满足以下条件：

$$\leq t_{NVS} + t_{NVH} + t_{PGS} + (t_{PROG} \times 64) t_{HV} \text{最大值}$$

参考19.17内存特性。

**注**

编程闪存地址更改（步骤7到步骤7）之间的时间，或最后编程闪存到清除

PGM位（步骤7到步骤10）不能超过最大编程时间，tPROG最大。

**注**

对闪存阵列进行编程时要谨慎，以确保  
当在算法的步骤3中选择所需的行地址范围或在算法的步骤7中选择要编程  
的字节时，不使用非闪存位置作为写入的地址。这特别适用于\$ffd4-\$ffdf。

## 2.6.6 闪光块保护

由于板上电荷泵在目标应用中擦除和编程闪存的能力，提供了保护存储器块免受由于系统故障造成的无意擦除或编程操作的准备。这种保护是通过使用闪存块保护寄存器(FLBPR)来实现的。FLBPR确定要保护的闪存的范围。保护区域的范围从FLBPR定义的位置开始，并在闪存(\$FFFF)的底部结束。当内存受到保护时，HVEN位不能在擦除或编程操作中设置。

**注**

在执行编程或擦除操作时，必须在设置PGM或擦除位后、HVEN位断  
言之前读取闪存块保护寄存器